

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-029528

(43)Date of publication of application : 29.01.2004

(51)Int.Cl. G09G 3/30
G09G 3/20
H05B 33/14

(21)Application number : 2002-187803

(71)Applicant : CASIO COMPUT CO LTD
HATSUTORI REIJI

(22)Date of filing : 27.06.2002

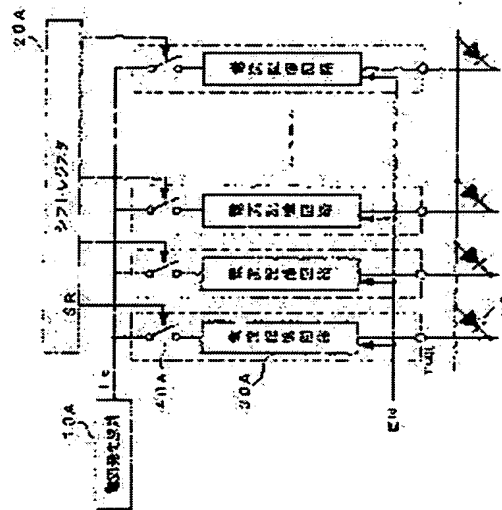
(72)Inventor : HATSUTORI REIJI

(54) CURRENT DRIVE UNIT, CURRENT DRIVING METHOD, AND DISPLAY DEVICE USING CURRENT DRIVE UNIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a current drive unit and a current driving method for suppressing the fluctuation in output currents between output terminals and between driver chips with comparatively simple circuit constitution and to provide a display device capable of suppressing the occurrence of uneven display by applying the current drive unit to a data driver.

SOLUTION: The current drive unit is provided with a single current generation circuit 10A for generating and outputting a prescribed current I_c for controlling the driving state of each load LD, a plurality of current storage circuits 30A for successively taking in the current I_c supplied from the current generation circuit 10A at prescribed timing based on a shift register 20A and storing the taken-in current I_c , and a plurality of switch means 40A for controlling the supply states of the current I_c from the current generation circuit 10A to respective current storage circuits 30A on the basis of a switch change-over signal (shift output) SR outputted from the shift register 20A.



* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]

This invention about the display which used a current drive device, a drive method for the same, and a current drive device, A current drive device which drives two or more loads especially by the current set as the current value or the same current value specified for every load, and a drive method for the same, And using the display driving circuit which has the composition of this current drive device, a display device is driven so that it may become predetermined display gradation, and it is related with the display which displays desired picture information on a display panel.

[0002]

[Description of the Prior Art]

Conventionally, the light emitting device type display (display) provided with the display panel which carried out the multiple arrays of an organic electroluminescence element (it is hereafter written as an "organic EL device") and the self-luminescence type light emitting device of a light emitting diode (LED) etc. is known.

[0003]

Spread compares with a remarkable liquid crystal display (LCD) in such a display in recent years, While display response speed is quick, and there is also no view angle dependence and high-intensity and high-contrast-izing, highly-minute-izing of display image quality, low power consumption, etc. are possible, Like [in the case of a liquid crystal display], since a back light is not needed, there are some which have the very dominance feature that much more thin weight saving is possible, and research and development are briskly done as a next-generation display.

[0004]

The display panel in which the display pixel which contains a light emitting device near [intersection] each [of the scan line where an example of such a display was allocated in the outline and the line writing direction, and the data line allocated in the column direction] was arranged, The data driver which generates the predetermined driving current according to an indicative data, and is supplied to each display pixel (light emitting device) via a data line, According to the above-mentioned driving current which was provided with the scanning driver which impresses a scanning signal to predetermined timing and makes the display pixel of a predetermined line a selective state, and was supplied to each display pixel. By carrying out emission operating of each light emitting device by the predetermined luminance gradation according to an indicative data, desired picture information is displayed on a display panel. The example of a light emitting device type display is explained in detail in the embodiment of the invention mentioned later.

[0005]

In display driving operation [in / here / the above-mentioned display], The driving current which has an individual current value according to an indicative data is generated to two or more display pixels (light emitting device), As opposed to a current specification [which repeats successively the operation which supplies the display pixel of a specific line simultaneously and

makes each light emitting device emit light by predetermined luminance gradation about each line for one screen] type drive system, and two or more display pixels (light emitting device), The Pulse-Density-Modulation (PWM) type drive system etc. which repeat successively the operation which supplies the driving current of the fixed current value which has the individual time width (signal width) according to an indicative data to the display pixel of a line specific within the same display period, and makes each light emitting device emit light by predetermined luminance gradation by one screen are known.

[0006]

In these display driving operations, it is necessary to supply the driving current which has the predetermined current value or fixed current value according to an indicative data in two or more display pixels for every line all at once (to inside of the simultaneous or same display period). In order to correspond to the increase in the number of contact buttons of a display panel accompanying high-definition-izing (highly-minute-izing) and big-screen-izing of a thin display device in recent years, In two or more preparations and each driver tip, the above-mentioned driving current is individually generated for the driver tip (semiconductor chip) provided with the output terminal of the predetermined number corresponding to a data line as the above-mentioned data driver, What applied the circuitry supplied to each light emitting device all at once via a data line is known.

[0007]

[Problem(s) to be Solved by the Invention]

However, in the display which applied the data driver provided with two or more driver tips which were mentioned above, it had a problem as shown below.

Namely, in the data driver which consists of two or more conventional driver tips, Since it had the composition which is provided with the circuit for generating driving current individually for every driver tip, and supplies driving current to each light emitting device all at once via each output terminal from each driver tip, If variation arises in the current value of the driving current outputted from two or more driver tips, it has the problem that variation is produced in the luminescent state (luminance gradation of a light emitting device) in each display pixel, and display unevenness arises. Then, it is necessary to control the variation in driving current as much as possible between each driver tip and between each output terminal.

[0008]

Here, in the field of semiconductor manufacturing technology, it is known that variation will certainly arise in the element characteristic of functional elements, such as a transistor element, a resistance element, a capacitive element, etc. which are formed in the same semiconductor chip. And what what can be controlled to some extent abolishes the variation in such an element characteristic for thoroughly by optimization of a manufacturing process, etc. (zero are used) is made impossible, and has become the main causes by which this makes creation of the analogue integrated circuit (IC) difficult.

[0009]

In connection with the minuteness making of the design lower limit applied to a transistor element, existence (number) of the impurity atom within a channel will actualize relatively, and it is also reported that variation arises in a threshold, mobility, etc. by the variation in the number. therefore, boiling markedly the variation in the driving current between the output terminals of a driver tip which was mentioned above (variation in the output characteristics of a semiconductor chip) only with the technique of optimization of a manufacturing process, and improving has the problem of being very difficult.

[0010]

To the number of output terminals which can be installed in one semiconductor chip. According to the problem of the manufacturing yield lowering by the increase in signal delay by the increase in a wire length, or the increase in the element number in 1 chip, since there is a limit, as mentioned above, two or more driver tips will need to constitute a data driver inevitably, but. Also controlling the variation between driver tips has the problem that it is accompanied by extraordinary difficulty, the variation in the above-mentioned driving current becoming still larger, and controlling the variation in the driving current in the same driver tip, if semiconductor chips

differ.

[0011]

Although current setting-out resistance is attached for every output terminal of each driver tip and the technique of adjusting the resistance of this current setting-out resistance individually is known as art which amends the variation in the driving current in a driver tip, When the number of output terminals provided in the same driver tip increases, Since adjustment of each current setting-out resistance becomes complicated, and adjustment costs great time and cost and also the resistance installation area on circuitry also increases, it has the problem that it is not suitable as the technique of controlling the variation in the driving current between each output terminal.

[0012]

Therefore, in order to also control the variation between driver tips, controlling the variation in the driving current between the output terminals of the same driver tip. It has the data driver and the problem of it being further, said that the rise of product cost is caused, while enlarging to the device scale of a display which must add complicated and large-scale circuitry and for which it has a driver tip between each output terminal and between each driver tip.

[0013]

In addition, as mentioned above, in the display in recent years, much more clear-ization of the gradation display is called for with highly-minute-izing of display image quality, but. In the light emitting device type display developed now, When generating the driving current which has an analog signal ingredient by digital to analog from the digital input signal used as an indicative data, it also has the problem that it has not yet resulted even in establishment of the art which generates the analog output signal which is a grade which can realize sufficient gradation display.

[0014]

Then, in the equipment configuration driven by the current set as the current value or the same current value which specified two or more loads for every load in view of various problems which mentioned this invention above, By comparatively simple circuitry, the variation in the current between the output terminals of the same driver tip is controlled, And it sets it as the 1st purpose to provide a current drive device which can also control the variation between driver tips, and a drive method for the same, and to provide the display which has the good display properties by which display unevenness was controlled by applying this current drive device to a data driver.

It sets it as the 2nd purpose to provide a current drive device provided with the digital-to-analog function which can change into the analog signal corresponding to a good multi-gradation display from a predetermined digital signal, and a drive method for the same, and to provide the display which can attain much more clear-ization of display image quality.

[0015]

[Means for Solving the Problem]

The current drive device according to claim 1 by outputting driving current which has a predetermined current value for an output terminal by which load is connected to each to each of two or more preparations and an output terminal of this plurality, In a current drive device which operates said two or more loads by a predetermined driving state, The only current generating means which generates and outputs current which has a predetermined current value for controlling a driving state of said load, To predetermined timing which is provided for said every output terminal, incorporates said current outputted from said current generating means one by one, holds it to respectively different timing, and drives said load. It is characterized by having two or more current storing means which output said driving current based on said said held current all at once via said output terminal.

[0016]

It is characterized by setting up said current to which the current drive device according to claim 2 is outputted from said current generating means in the current drive device according to claim 1 have a current value based on an input signal.

In the current drive device according to claim 1 or 2, the current drive device according to claim

3 said each current storing means, Operation which incorporates and holds said current which is provided with a current storage parts store of a couple arranged in parallel, and is outputted to one current storage parts store from said current generating means, It is characterized by being controlled to perform simultaneously in parallel operation which outputs said driving current based on current held to a current storage parts store of another side to said each output terminal.

[0017]

In the current drive device according to claim 1 or 2, the current drive device according to claim 4 said each current storing means, Operation which is provided with a current storage parts store of the preceding paragraph and the latter part arranged in series, incorporates and holds said current outputted to a current storage parts store of said preceding paragraph from said current generating means, and transmits said held current to the next step, The current drive device according to claim 1 or 2 controlling to perform simultaneously in parallel operation which outputs said driving current based on said current transmitted from a current storage parts store of said preceding paragraph held at a current storage parts store of said latter part to said each output terminal.

[0018]

In the current drive device according to any one of claims 1 to 4, the current drive device according to claim 5 said current generating means, A control current generation part which generates the control current which has the 1st current value based on a digital input signal of a predetermined number for controlling each driving state of two or more of said loads, Output current which has the 2nd current value that serves as a predetermined rate of a current ratio to said control current is generated, it has an output current generation part outputted to said current storing means, and said 1st current value is characterized by being set up more greatly than said 2nd current value.

[0019]

The current drive device according to claim 6 is characterized by setting up said driving current have the same predetermined current value to each output terminal in the current drive device according to claim 1.

In the current drive device according to claim 6, the current drive device according to claim 7 said current drive device, Equip the preceding paragraph of two or more of said current storing means with a single input current memory measure, and said input current memory measure, It is characterized by supplying current which incorporated into said input current memory measure said current outputted from said current generating means, held it, and was held to said input current memory measure to said two or more current storing means to arbitrary timing.

[0020]

In the current drive device according to claim 7, the current drive device according to claim 8 said input current memory measure, Operation which incorporates and holds said current which is provided with an input current storage parts store of a couple arranged in parallel, and is outputted to one input current storage parts store from said current generating means, It is characterized by being controlled to perform simultaneously in parallel operation which supplies current held to an input current storage parts store of another side to said two or more current storing means.

In the current drive device according to claim 7, the current drive device according to claim 9 said current drive device, It is connected to said two or more output terminals, and has a pulse width setting-out means to set up pulse width of said driving current supplied to said load from said output terminal, and said pulse width setting-out means is characterized by setting up said pulse width for said every output terminal according to an input signal.

The current drive device according to claim 10 is characterized by forming a current storing means and said output terminal of said plurality in at least one semiconductor chip at least in the current drive device according to any one of claims 1 to 9.

[0021]

The current drive device according to claim 11 is characterized by forming said current generating means in a semiconductor chip separate from said semiconductor chip in the current

drive device according to claim 10.

The current drive device according to claim 12 is characterized by forming said current generating means in said semiconductor chip in the current drive device according to claim 10. In the current drive device according to claim 10, at least the current drive device according to claim 13 in said semiconductor chip said current storing means, Flow down said current between source drains, and have a field effect transistor which holds voltage between source gates based on this current to parasitic capacitance between source gates, and it is constituted, Mobility of said field effect transistor is characterized by having a value of at least $200\text{-cm}^2/\text{Vs}$.

[0022]

The current drive device according to claim 14 equips with the following a current drive device which operates said two or more loads by a predetermined driving state by outputting driving current which has a predetermined current value for an output terminal by which load is connected to each of two or more preparations and an output terminal of this plurality. The only reference current generating means provided with two or more reference current generating parts which generate and output reference current to which a current value was set have weighting which is arranged in parallel with mutual and is respectively different. A reference current memory measure provided with two or more reference current storage parts stores which incorporate individually said reference current outputted from said two or more reference current generating parts in said reference current generating means, and hold it. A current generating means which generates current which chooses said arbitrary reference current storage parts stores among said two or more reference current storage parts stores, and has a predetermined current value, Two or more current storing means which output said driving current based on said said held current to said each output terminal all at once to predetermined timing which incorporates said current generated by said current generating means one by one, holds it to respectively different timing, and drives said load.

[0023]

In the current drive device according to claim 14, the current drive device according to claim 15 said current generating means, It is characterized by compounding said reference current which chose arbitrary reference current storage parts stores among said two or more reference current storage parts stores in said reference current memory measure, and was held at said this chosen reference current storage parts store based on a digital input signal of a predetermined number, and generating said current.

In the current drive device according to claim 14 or 15, the current drive device according to claim 16 said reference current memory measure, Operation which incorporates and holds said reference current which is arranged in parallel, is provided with the reference current store circuit unit of a couple provided with said two or more reference current storage parts stores, respectively, and is outputted to one reference current store circuit unit from said two or more reference current generating parts, It is characterized by being controlled to perform simultaneously in parallel operation which generates said current by said current generating means based on reference current held in the reference current store circuit unit of another side.

[0024]

In the current drive device according to any one of claims 14 to 16 the current drive device according to claim 17, Said two or more reference current memory measures, said current generating means, a current storing means of said plurality, and said output terminal at least are characterized by being formed in at least one semiconductor chip.

The current drive device according to claim 18 is characterized by forming said current generating means in a semiconductor chip separate from said semiconductor chip in the current drive device according to claim 17.

[0025]

The current drive device according to claim 19 is characterized by forming said current generating means in said semiconductor chip in the current drive device according to claim 17.

In the current drive device according to claim 17, at least the current drive device according to claim 20 in said semiconductor chip said current storing means, Flow down said current between source drains, and have a field effect transistor which holds voltage between source gates based on this current to parasitic capacitance between source gates, and it is constituted, Mobility of said field effect transistor is characterized by having a value of at least $200\text{-cm}^2/\text{Vs}$.

[0026]

A drive method of the current drive device according to claim 21, By outputting driving current which has a predetermined current value for an output terminal by which load is connected to each to each of two or more preparations and an output terminal of this plurality, In a drive method of a current drive device which operates said two or more loads by a predetermined driving state, By the only current generating means, current which has a predetermined current value for controlling a driving state of said load is generated and supplied, To predetermined timing which incorporates said current into two or more current storing means individually established for said every output terminal one by one, holds it to respectively different timing to them, and drives said load. It is characterized by outputting said driving current based on said current held to said each current storing means all at once to said each output terminal.

[0027]

A drive method of the current drive device according to claim 22, In a drive method of the current drive device according to claim 21, said current storing means, It has a current storage parts store of a couple arranged in parallel, and is characterized by performing in concurrency operation which incorporates and holds said current outputted to one current storage parts store from said current generating means, and operation which outputs said driving current based on current held to a current storage parts store of another side to said each output terminal. A drive method of the current drive device according to claim 23, In a drive method of the current drive device according to claim 21, said current storing means, Operation which is provided with a current storage parts store of the preceding paragraph and the latter part arranged in series, incorporates and holds said current outputted to a current storage parts store of said preceding paragraph from said current generating means, and transmits said held current to the next step, It is characterized by performing in concurrency operation which outputs said driving current based on current transmitted from a current storage parts store of said preceding paragraph held at a current storage parts store of said latter part to said each output terminal.

[0028]

A drive method of the current drive device according to claim 24, In a drive method of the current drive device according to any one of claims 21 to 23, Operation which holds said current outputted from said current generating means to said two or more current storing means in a drive method of said current drive device is preceded, It is characterized by supplying said current which incorporated said current into a single input current memory measure, held it, and was held to said input current memory measure to said two or more current storing means to arbitrary timing.

[0029]

A drive method of the current drive device according to claim 25, By outputting driving current which has a predetermined current value for an output terminal by which load is connected to each to each of two or more preparations and an output terminal of this plurality, In a drive method of a current drive device which operates said two or more loads by a predetermined driving state, Reference current to which a current value was set have respectively different weighting by the only reference current generating means provided with two or more reference current generating parts is generated and supplied, Incorporate said reference current into two or more reference current storage parts stores which constitute a reference current memory measure individually, and it is held to them, Based on a digital input signal of a predetermined number, inside of two or more of said reference current storage parts stores, Current which compounds said reference current which chose arbitrary reference current storage parts stores, and was held at said this chosen current storage parts store, and has a predetermined current

value is generated, To predetermined timing which incorporates said generated current into two or more current storing means individually established for said every output terminal one by one, holds it to respectively different timing to them, and drives said load. It is characterized by outputting said driving current based on said current held to said each current storing means all at once to said each output terminal.

[0030]

A drive method of the current drive device according to claim 26, In a drive method of the current drive device according to claim 25, said reference current memory measure, Operation which incorporates and holds said reference current which is arranged in parallel, is provided with the reference current store circuit unit of a couple provided with said two or more reference current storage parts stores, respectively, and is outputted to one reference current store circuit unit from said reference current generating means, It is characterized by generating current which has said predetermined current value based on said held reference current in the reference current store circuit unit of another side, and performing in concurrency operation outputted to said two or more current storing means.

[0031]

As opposed to two or more display pixels arranged near the intersection of a signal wire allocated in a scanning line with which the display according to claim 27 was allocated in a line writing direction of a display panel, and a column direction, By supplying driving current which has a predetermined current value according to a status signal, In a display which drives said display pixel so that it may become predetermined display gradation, and displays desired picture information on said display panel, The only current generating means which generates and outputs current which has a predetermined current value for controlling a displaying condition of said display device at least, Two or more current storing means which are connected to each of said display device and which were established for every output terminal, A signal drive circuit which has preparation *****, and said display pixel connected to said arbitrary scanning lines to predetermined timing at each of said scanning line are chosen, Said driving current outputted to this display pixel via said signal wire from said signal drive circuit is supplied, Have a scan drive circuit which impresses a scanning signal for driving said display device, and said signal drive circuit, It is constituted by two or more semiconductor chips provided with said current storing means and said output terminal of a predetermined number at least, and said two or more semiconductor chips said current outputted from said only current generating means, To respectively different timing, it incorporates into said two or more current storing means one by one, holds, and is characterized by supplying said driving current based on said said held current to each of said signal wire all at once via said output terminal to predetermined timing which drives said display device.

The display according to claim 28 is characterized by said signal drive circuit having the composition hierarchized so that an output terminal of said semiconductor chip might be connected to an input terminal of two or more of said semiconductor chips located in the next step one by one in the display according to claim 27.

[0032]

As opposed to two or more display pixels arranged near the intersection of a signal wire allocated in a scanning line with which the display according to claim 29 was allocated in a line writing direction of a display panel, and a column direction, By supplying driving current which has a predetermined current value according to a status signal, In a display which drives said display pixel so that it may become predetermined display gradation, and displays desired picture information on said display panel, The only reference current generating means which consists of two or more reference current generating parts which generate and output reference current to which a current value was set have weighting which is arranged in parallel with mutual at least, and is respectively different, A reference current memory measure which consists of two or more reference current storage parts stores which incorporate individually said reference current outputted from said two or more reference current generating parts, and hold it, Two or more current storing means which are connected to each of two or more of said display devices and which were established for every output terminal, A signal drive circuit which has the

current drive device, ** and others, and said display pixel connected to said arbitrary scanning lines to predetermined timing at each of said scanning line are chosen, Supply said driving current outputted to this display pixel via said signal wire from said signal drive circuit, have a scan drive circuit which impresses a scanning signal for driving said display device, and said signal drive circuit, It is constituted by two or more semiconductor chips provided with said current storing means and said output terminal of a predetermined number at least, and said two or more semiconductor chips, Based on a digital input signal of a predetermined number, from said reference current held individually at said two or more reference current storage parts stores. Current which has a predetermined current value for controlling each driving state of two or more of said loads is generated and outputted, To predetermined timing which outputs to said current storing means, incorporates into said two or more current storing means one by one, holds to respectively different timing, and drives said display device. It is characterized by supplying said driving current based on said current held to said two or more current storing means from said two or more semiconductor chips of all to each of said signal wire all at once via said output terminal.

The display according to claim 30 is characterized by said signal drive circuit having the composition hierarchized so that an output terminal of said semiconductor chip might be connected to an input terminal of two or more of said semiconductor chips located in the next step one by one in the display according to claim 29.

[0033]

Namely, a current drive device concerning the 1st invention and a drive method for the same, By supplying driving current which has a specified predetermined current value or the same current value to each of loads, such as a display device by which multiple arrays were carried out, In a current drive device which operates each load by driving states, such as predetermined luminance gradation, Current which has a predetermined current value for controlling a driving state of the above-mentioned load by the only current generating means (current generation circuit) is generated, Current which incorporated into two or more current storing means (current store circuit) which are connected to each of load, and which were individually established for every output terminal one by one, held, and was held to predetermined timing which drives load is made into driving current, Or it is constituted so that driving current generated based on held current may be supplied to two or more loads all at once via an output terminal.

[0034]

Since current generated and outputted by the only current generating means is supplied common to two or more current storing means individually formed in two or more semiconductor chips, for example and is incorporated to predetermined timing by this, Current which has a uniform current characteristic supplied to a current storing means of each semiconductor chip from a single current source (current generating means) is held. Therefore, variation in driving current between output terminals provided between each semiconductor chip and in the same semiconductor chip (variation in output characteristics) can be small controlled by a comparatively simple equipment configuration.

[0035]

Operation which incorporates and holds current which each above-mentioned current storing means is provided with a current storage parts store of a couple arranged in parallel here, and is outputted to one current storage parts store from a current generating means, May control operation which outputs current held at a current storage parts store of another side to each output terminal to perform in concurrency, and as each current storing means, It may have a current storage parts store of the preceding paragraph and the latter part arranged in series, and operation which incorporates and holds current to a current storage parts store of the preceding paragraph, and operation which outputs current transmitted to a latter current storage parts store to each output terminal may be controlled to perform in concurrency.

[0036]

Since according to such composition current can be incorporated into one current storage parts store among two current storage parts stores and driving current can be outputted from a

current storage parts store of another side to each output terminal during an operation period to hold, for example, An output operation cycle of driving current to incorporation of current to each current storage parts store, a maintenance motion cycle, and an output terminal can be made to be able to overlap, feed time of driving current to load can be lengthened, and a driving state can be controlled finely.

[0037]

The above-mentioned current drive device equips with the only input current memory measure the preceding paragraph of two or more current storing means established for every semiconductor chip, for example, and by this input storage means. Current outputted from a current generating means may be incorporated into an input current memory measure, and may be held, and two or more latter current storing means may be supplied to arbitrary timing.

According to such composition, current outputted from a current generating means is incorporated into an input storage means which was able to be established for every semiconductor chip, Since operation which incorporates current into each current store circuit of each semiconductor chip can be performed in concurrency after holding, Time required in order to incorporate current into all the current store circuits can be shortened substantially, feed time of driving current to load can be lengthened, and a driving state can be controlled finely.

[0038]

Therefore, by applying a current drive device concerning the 1st invention to a signal drive circuit (data driver) of a display, While being able to control variation in driving current between output terminals provided between each driver tip (semiconductor chip) and in the same driver tip and being able to control generating of display unevenness, a write cycle to each display pixel can be shortened, and improvement in display image quality can be aimed at.

Even if it is a case where the number of contact buttons of a display panel increased, and the number of driver tips increases with highly-minute-izing and enlargement of a display panel, Since current which has a predetermined current value with a uniform current characteristic to a current storing means of all the driver tips by a single current generating means can be made to hold, circuitry in each driver tip can be simplified and space-saving-izing of a device scale and reduction of product cost can be aimed at.

[0039]

A current drive device concerning the 2nd invention and a drive method for the same, By supplying driving current which has the specified predetermined current value to each of loads, such as a display device by which multiple arrays were carried out, In a current drive device which operates each load by driving states, such as predetermined luminance gradation, Reference current to which a current value was set have respectively different weighting by the only reference current generating means which consists of two or more reference current generating parts is generated, By incorporating into a reference current memory measure provided with two or more reference current storage parts stores provided corresponding to each reference current individually, holding to it, and choosing arbitrary reference current storage parts stores as it based on a digital input signal of a predetermined number by a current generating means, Current which compounded held reference current, generated predetermined current, incorporated this current one by one, held it, and was held to predetermined timing which drives load as driving current, It is constituted so that driving current generated based on held current may be supplied to two or more loads all at once via an output terminal.

[0040]

Reference current generated and outputted by the only current generating means by this, For example, by being supplied and held common to a reference current memory measure individually formed in two or more semiconductor chips, choosing arbitrary reference current storage parts stores, and compounding reference current, driving current which consists of an analog signal corresponding to a digital input signal is generated, and two or more loads are supplied simultaneously. Therefore, while being able to control variation in driving current between output terminals provided between each semiconductor chip and in the same semiconductor chip by a comparatively simple equipment configuration, each load can be operated by a driving state

which corresponded to an input signal good.

[0041]

Therefore, by applying a current drive device concerning the 2nd invention to a signal drive circuit (data driver) of a display, While being able to control variation in driving current between output terminals provided between each driver tip (semiconductor chip) and in the same semiconductor chip and being able to control generating of display unevenness, Since an analog signal (driving current) corresponding to a good multi-gradation display is generable from a predetermined digital input signal (indicative data), a display which can make a gradation display clear further is realizable.

[0042]

Even if it is a case where the number of contact buttons of a display panel increased, and the number of driver tips increases with highly-minute-izing and enlargement of a display panel, Since uniform reference current to which a current value which has predetermined weighting to a reference current memory measure of all the driver tips by a single reference current generating means was set can be made to hold, Circuitry in each driver tip can be simplified and space-saving-izing of a device scale and reduction of product cost can be aimed at.

[0043]

[Embodiment of the Invention]

An embodiment is shown and the display which applied a current drive device concerning this invention, a drive method for the same, and this current drive device hereafter is explained in detail.

First, a current drive device concerning this invention and a drive method for the same are explained with reference to drawings.

<A 1st embodiment of a current drive device>

Drawing 1 is an outline lineblock diagram showing a 1st embodiment of the current drive device concerning this invention.

After holding the current drive device concerning a 1st embodiment one by one to the current store circuit in which the current which has a predetermined current value supplied from a single current generation circuit was provided by each output terminal (namely, load) of every, it has collectively the composition which comes out of and carries out a mosquito to load via each output terminal.

[0044]

The current drive device concerning this embodiment specifically, The single current generation circuit (current generating means) 10A which generates and outputs the current I_c which has a predetermined current value for controlling the driving state of each load LD connected to two or more output terminals Tout to be shown in drawing 1, The shift register 20A which sets up the timing at the time of supplying the current I_c supplied from this current generation circuit 10A to each of the current store circuit 30A mentioned later, Two or more current store circuits 30A which incorporate the current I_c which is established for every output terminal Tout and supplied from the current generation circuit 10A one by one, and hold it to the predetermined timing based on the shift register 20A (memory), Based on the timing set up by switch switching signal (shift output) SR outputted from the shift register 20A to predetermined timing, It has two or more switching means 40A which control the supply state of the current I_c to each current store circuit 30A, and comprises the current generation circuit 10A.

[0045]

Hereafter, each above-mentioned composition is explained concretely.

(Current generation circuit)

Drawing 2 is a circuitry figure showing one example of a current generation circuit applicable to this embodiment.

The current generation circuit 10A generates the individual current I_c which has a current value required in order to make each of an outline and two or more loads drive by a predetermined driving state, and it is constituted so that it may output to the individual current store circuit 30A provided corresponding to each of two or more above-mentioned loads. Here, as the current generation circuit 10A, as shown in drawing 2, the circuitry which consists of the control current

generation part 11 of the preceding paragraph and the latter current mirror circuit part 12 is applicable, for example.

[0046]

The current I_c generated by the current generation circuit 10A may have a respectively different current value according to the driving state of each load, and may have the same current value to all the loads. It mentions later in detail.

The current generation circuit shown by this embodiment shows an example applicable to the current drive device concerning this invention, and is not limited to this circuitry. In this embodiment, although the composition provided with the control current generation part and the current mirror circuit part is shown as a current generation circuit, it is not limited to this and may have circuitry which consists only of a control current generation part, for example.

[0047]

The resistance R11 by which the end side was connected to the high potential power supply Vdd as the control current generation part 11 was shown in drawing 2, for example, An emitter is connected to the other end side of this resistance R11, and it is the latter current mirror circuit part 12 (.). Or the pnp type pie Poral transistor (it is hereafter written as a "pnp transistor") Q11 by which the collector was connected to the output contact N11 of the control current generation part 11, Sauce is connected to the base of this pnp transistor Q11, and a drain is connected to set-terminals Tset into which set signal SET is inputted, The P channel electric field effect type transistor (it is hereafter written as a "PMOS transistor") M11 by which the gate was connected to the input terminal Tin into which digital input signal IN1 is inputted, setting preparation ***** to unit circuit CT1 -- this unit circuit CT1 -- a part for the number of bits of a digital input signal (in this embodiment, the case where it has the unit circuits CT1-CT6 corresponding to the 6-bit digital input signals IN1-IN6 is shown) -- it is connected in parallel. Namely, the emitter of the pnp transistors Q11-Q16 of each unit circuits CT1-CT6 is connected common to the output contact N11, It has PMOS transistors M11-M16 by which sauce was connected to the base of each pnp transistors Q11-Q16, the drain was connected to set-terminals Tset, and the gate was connected to the input terminal Tin into which the digital input signals IN1-IN6 are inputted.

[0048]

Here, the input signals IN1-IN6 are digital signals (voltage component) which consist of two or more bits for controlling the driving state of load, and set signal SET is a signal level supplied to the timing according to the drive cycle of the above-mentioned load, etc. from the control section which omitted the graphic display. In such a control current generation part 11, while setting set signal SET as a predetermined voltage level, By setting the input signals IN1-IN6 of each bit as high level or a low level, the control current which has a current value (the 1st current value) according to the input signals IN1-IN6 is generated, and it outputs to the latter current mirror circuit part 12 via the output contact N11.

[0049]

The current mirror circuit part (output current generation part) 12, For example, the npn type pie Poral transistor (it is hereafter written as a "nnp transistor") Q21 by which the collector and the base were connected to the output contact N11 of the above-mentioned control current generation part 11 as shown in drawing 2, The resistance R21 connected between the emitter of this npn transistor Q21, and the low potential power source Vss, The npn transistor Q22 by which the collector was connected to the output terminal Tcs in which the output current (current I_c) which has a predetermined current component is outputted, and the base was connected to the output contact N11 of the above-mentioned control current generation part 11, It has the composition provided with the resistance R22 connected between the emitter of this npn transistor Q22, and the low potential power source Vss.

[0050]

Here, output current (current I_c) is generated by the above-mentioned control current generation part 11, and has a current value (the 2nd current value) according to the predetermined rate of a current ratio specified by current mirror circuitry to the current value (the 1st current value) of the control current inputted via the output contact N11. In this

embodiment, the output current of negative polarity is supplied to the current store circuit 30A (.). That is, by setting up the current flow direction of the current I_c in the low potential power source V_{ss} direction from the output terminal T_{cs} side, it flows down so that a current component may be drawn in the direction of current generation circuit 10A from the current store circuit 30A side.

[0051]

In the current generation circuit 10A shown in this embodiment, The current value (the 1st current value) of the control current generated by the control current generation part 11, It sets up more greatly than the current value (the 2nd current value) of the output current generated by the current mirror circuit part 12, The current value of the control current is reduced by a predetermined ratio by the current mirror circuit part 12, and the current value of output current is specified (.). That is, the processing speed concerning the conversion on the current I_c from the input signals IN_1 – IN_6 in the current generation circuit 10A (control signal generating part 11) and generation can be raised by setting up more greatly than the current value of the current I_c the current value dealt with by control signal generating part 11 inside.

[0052]

It is connected to the npn transistor Q21 which constitutes the current mirror circuit part 12, and the emitter of Q22 in the circuitry shown in drawing 2, It changes to the resistance R21 and R22 which specify the rate of a current ratio in current mirror circuitry (losing the resistance R21 and R22), By applying the npn transistor Q21 and the circuitry which specifies the above-mentioned rate of a current ratio only by the surface ratio of Q22, generating of the variation in the current component in the inside of the circuit resulting from the resistance R21 and R22 can be controlled, and the influence on output current (current I_c) can be inhibited substantially.

[0053]

(A shift register/switching means)

Based on the control signals (shift start signals, a shift clock signal, etc.) supplied from the control section which omitted the graphic display, the shift register 20A, It is impressed by each of the switching means 40A in which the shift output generated shifting to one way one by one was provided corresponding to each load one by one as a switch switching signal (switch ON signal) SR. Based on switch switching signal SR outputted one by one from this shift register 20A, each switching means 40A, ON operation is carried out to respectively different timing, and it is set as the write states supplied to the current store circuit 30A in which the current I_c (output current) from the above-mentioned current generation circuit 10A was able to be formed for every load, and the current I_c is incorporated into each current store circuit 30A, and it controls to be held. Here, as the switching means 40A, a field effect transistor can be applied and it can form on the same substrate using the same manufacturing process as the circuit element applied to the current store circuit 30A later mentioned in this case, for example. In detail, it explains in drawing 3.

[0054]

(Current store circuit)

Drawing 3 is a circuitry figure showing one example of composition of consisting of a current store circuit and a switching means applicable to this embodiment, and drawing 4 is a key map showing the basic motion in a current store circuit applicable to this embodiment.

The current store circuit 30A an outline and the current I_c outputted from the current generation circuit 10A, It is constituted so that it may incorporate one by one, it may hold and the load drive current (driving current) based on the this held current component or this current component may be outputted all at once for each load via the output terminal T_{out} to the predetermined timing based on the above-mentioned shift register 20A (to single timing). Here, as the current store circuit 30A, as shown in drawing 3, the circuitry which consists of the current component attaching part 31 (the switching means 40A is included) of the preceding paragraph and the latter current mirror circuit part 32 is applicable, for example.

[0055]

The current store circuit shown by this embodiment shows an example applicable to the current drive device concerning this invention, and is not limited to this circuitry. In this embodiment,

although the composition provided with the current component attaching part and the current mirror circuit part is shown as a current store circuit, it is not limited to this and may have circuitry which consists only of a current component attaching part, for example.

[0056]

As the current component attaching part 31 is shown in drawing 3, for example, source and a drain are connected between the point of contact N31 and the output terminal Tcs of the above-mentioned current generation circuit 10A, PMOS transistor M31 by which the gate was connected to the shift output terminal Tsr of a shift register, PMOS transistor M32 by which source and a drain were connected between the high potential power supply Vdd and the point of contact N32, and the gate was connected to the point of contact N31, PMOS transistor M33 by which source and a drain were connected between the point of contact N32 and the output terminal Tcs of the current generation circuit 10A, and the gate was connected to the shift output terminal Tsr of the shift register 20A, The storage capacitance C31 connected between the high potential power supply Vdd and the point of contact N31, Source and a drain are connected between the point of contact N32 and the output contact N33 to the latter current mirror circuit part 32, It is supplied from the control section which omitted the graphic display, and has the composition provided with PMOS transistor M34 by which the gate was connected to the output control terminal Ten into which the output enable signal EN which controls the output state of the control current to the latter current mirror circuit part 32 is inputted. Here, based on switch switching signal (shift output) SR from the shift register 20A, PMOS transistor M31 which carries out ON-and-OFF operation, and M33 constitute the switching means 40A mentioned above. The storage capacitance C31 provided between the high potential power supply Vdd and the point of contact N31 may be parasitic capacitance formed between the gate source of PMOS transistor M32.

[0057]

As shown in drawing 3, the current mirror circuit part 32, for example respectively, The npn transistor Q31 and Q32 by which the collector and the base were connected to the output contact N33 of the above-mentioned current component attaching part 31, and the emitter was connected to the point of contact N34, A collector is connected to the resistance R31 connected between the point of contact N34 and the low potential power source Vss, and the output terminal Tout in which output current (load drive current Idv) is outputted, The output contact N33 of the above-mentioned current component attaching part 31 has the composition provided with the npn transistor Q33 connected to the base, and the resistance R32 connected between the emitter of this npn transistor Q33, and the low potential power source Vss.

[0058]

Here, output current (load drive current Idv) is outputted from the above-mentioned current component attaching part 31, and has a current value according to the predetermined rate of a current ratio specified by current mirror circuitry to the current value of the control current inputted via the output contact N33. In this embodiment, the output current of negative polarity is supplied to the output terminal Tout (load LD) (.). That is, by setting up the current flow direction of the load drive current Idv in the low potential power source Vss direction from the output terminal Tout side, it flows down so that a current component may be drawn in the direction of current store circuit 30A from the load LD side.

[0059]

In the current store circuit 30A shown in this embodiment, The current value of the control current outputted from the current component attaching part 31 is set up more greatly than the current value of the output current generated by the current mirror circuit part 32, The current value of the control current is reduced by a predetermined ratio by the current mirror circuit part 32, and the current value of output current is specified (.). That is, the processing speed concerning incorporation maintenance (memory) of the current Ic in the current store circuit 30A (current component attaching part 31) and an output can be raised by setting up more greatly than the current value of the load drive current Idv the current value dealt with by current component attaching part 31 inside.

[0060]

It is connected to the emitter of the npn transistors Q31–Q33 which constitute the current mirror circuit part 32 in the circuitry shown in drawing 3. It changes to the resistance R31 and R32 which specify the rate of a current ratio in current mirror circuitry (losing the resistance R31 and R32). By applying the circuitry which specifies the above-mentioned rate of a current ratio only by the surface ratio of the npn transistors Q31–Q33, generating of the variation in the current component in the inside of the circuit resulting from the resistance R31 and R32 can be controlled, and the influence on output current (load drive current I_{dv}) can be inhibited substantially.

[0061]

Current storage operation and current output operation are performed to the predetermined timing not to produce [time] mutually the basic motion in the current store circuit (a switching means is included) which has such composition to the drive cycle of load.

(Current storage operation)

In current storage operation, PMOS transistor M34 as an output control means carries out OFF operation first by impressing the high-level output enable signal EN via the output control terminal Ten from a control section. . Embraced the input signals IN1–IN6 for controlling the driving state of load by this state from the current generation circuit 10A. While supplying the current I_c which has a current component of negative polarity via the input terminal Tcs (output terminal Tcs of the current generation circuit 10A), PMOS transistor M31 as an input control means (switching means 40A) and M33 carry out ON operation by impressing switch switching signal SR of a low level from the shift register 20A to predetermined timing via the shift output terminal Tsr.

[0062]

The voltage level of a low level according to the current I_c which has negative polarity at the point of contact N31 (namely, the gate terminal of PMOS transistor M32 and the end of the storage capacitance C31) is impressed by this. When potential difference arises between the high potential power supply Vdd and the point of contact N31 (between the gate sauce of PMOS transistor M32), PMOS transistor M32 carries out ON operation, and as shown in drawing 4 (a), it flows down so that the writing current I_w equivalent to the current I_c may be drawn in the input terminal Tcs direction via PMOS transistor M32 and M33 from a high potential power supply.

[0063]

At this time, the electric charge corresponding to the potential difference produced between the high potential power supply Vdd and the point of contact N31 (between the gate sauce of PMOS transistor M32) is accumulated in the storage capacitance C31, and it is held as a voltage component. Here the electric charge (voltage component) accumulated in the storage capacitance C31, By the end of current storage operation, high-level switch switching signal SR is impressed via the shift output terminal Tsr from the shift register 20A, and PMOS transistor M31 and M33 carry out OFF operation, and it is held after drawing in of the above-mentioned writing current I_w is stopped.

[0064]

(Current output operation)

Subsequently, in the drive operation of the load after the end of current storage operation, PMOS transistor M34 carries out ON operation by impressing the output enable signal EN of a low level via the output control terminal Ten from a control section. By the voltage component held at the storage capacitance C31 at this time, since potential difference equivalent to the time of current storage operation has arisen between the gate sauce of PMOS transistor M32, As shown in drawing 4 (b), PMOS transistor M32 and the drive controlling current I_{ac} which has a current value equivalent to the above-mentioned writing current I_w (= current I_c) in the output-contact N33 (current mirror circuit part 32) direction via M34 flow down from a high potential power supply.

[0065]

Thereby, the drive controlling current I_{ac} which flowed down to the current mirror circuit part 32 is transformed into the load drive current I_{dv} which has a current value according to the predetermined rate of a current ratio specified by current mirror circuitry, and is supplied to load

LD via each output terminal Tout. Here the load drive current Idv supplied to load LD from the current store circuit 30A, By the end of current output operation, the high-level output enable signal EN is impressed via the output control terminal Ten from a control section, and supply is suspended when PMOS transistor M34 carries out OFF operation.

[0066]

(Drive method of a current drive device)

On the current drive device which has the above composition, and in a current write period, While the current Ic which has a predetermined current value according to the driving state of each load by the single current generation circuit 10A is generated one by one and outputted, Synchronizing with the output timing of this current Ic, switch switching signal SR outputted one by one from the shift register 20A is impressed to the switching means 40A established for every output terminal Tout one by one. Each switching means 40A carries out ON operation one by one to different timing in sync with the output timing of the current Ic by this, From the above-mentioned current generation circuit 10A, the writing current Iw corresponding to the outputted current Ic flows down to each current store circuit 30A one by one, and is written in it, and it is held as a voltage component (the above-mentioned current storage operation).

[0067]

Subsequently, in a current output period, the output of switch switching signal SR from the shift register 20A in the above-mentioned current write period is completed, After all the switching means 40A carry out OFF operation and the current Ic according to the driving state of each load is held in all the current store circuits 30A, the output enable signal EN is impressed to each current store circuit 30A from a control section in common to the same timing. Thereby, the current according to the voltage component currently held in the current store circuit 30A is supplied to load all at once via the output terminal Tout as the load drive current Idv (the above-mentioned current output operation).

And load can be operated in a predetermined drive cycle by repeating and setting up such a current write period and a current output period for every predetermined cycle of operation.

[0068]

Therefore, according to the current drive device concerning this embodiment, a single current generation circuit is received, A current store circuit is individually provided so that it may correspond to each of two or more output terminals (namely, load), Based on a series of above-mentioned operations, the current which has a predetermined current value built over the drive controlling of load from a current generation circuit is generated, By outputting to each load collectively via each output terminal from each current store circuit, after memorizing this current one by one to each current store circuit to predetermined timing, Since the current which has a uniform current characteristic supplied from a single current source (current generation circuit) can be held for every output terminal, the load drive current by which the variation between each output terminal was controlled can be supplied, and each load can be made to drive by a uniform operating characteristic.

It cannot be overemphasized that it may be that by which does not limit and a design variation is suitably carried out according to an element characteristic, production technology, product cost, etc. especially about the element composition of the bipolar transistor applied to the current drive device shown in this embodiment or a MOS transistor.

[0069]

As opposed to the light emitting device (load) which specifically constitutes a display panel (refer to drawing 15) which is mentioned later, for example and which was provided for every display pixel, The operation which has a uniform current characteristic from an individual current store circuit, and supply the luminescence driving current (load drive current) according to each indicative data all at once to predetermined timing by repeating successively for every line, Since the indicative data for display panel 1 screen can be written in each display pixel and emission operating can be carried out by predetermined luminance gradation, desired picture information can be displayed good, controlling generating of display unevenness.

[0070]

About the element composition of the bipolar transistor which constitutes the current store

circuit of this embodiment, or a MOS transistor. Although it cannot be overemphasized that it may especially be that by which does not limit and a design variation is suitably carried out according to an element characteristic, production technology, product cost, etc., In order to obtain required working speed, as shown below, the transistor to which mobility μ of a MOS transistor has a larger value in general than $200\text{-cm}^2/\text{Vs}$ is applicable in the MOS transistor which constitutes a current component attaching part especially, good desirably.

[0071]

Namely, in the current component attaching part 31 of the current store circuit of drawing 3 which drawing 5 (a) mentioned above, It is an equivalent circuit which shows the composition at the time of a predetermined electric charge being accumulated in the storage capacitance C31, and when PMOS transistor M31 and M33 will be in switch-on by ON and PMOS transistor M34 has become an opened condition in OFF, it corresponds. Here, it corresponds to PMOS transistor M32, the capacity C is equivalent to the storage capacitance C31, and the transistor M is total of wiring capacity, storage capacitance, and the gate capacitance of the transistor M. In order to explain simply, the source S of the transistor M and the end of the capacity C shall be made into earth potentials.

[0072]

As shown in drawing 5 (a) here, when the current I_{in} is supplied to the drain D of the transistor M from a constant current source, When the drain current of V (t) and the transistor M is set to I_d , drain voltage the drain current I_d , If W considers it as the channel width of the transistor M by the gate capacitance per unit area of the transistor M and μ considering it as the mobility of the transistor M and L makes channel length $A=(1/2) * C_{in} * \mu * (W/L)$ and C_{in} , they will serve as a following formula (1).

[0073]

[Equation 1]

$$I_d = A \times V(t)^2 \quad \cdot \cdot \cdot (1)$$

[0074]

Thereby, the differential equation of a following formula (2) is realized.

[0075]

[Equation 2]

$$C \times \frac{dV(t)}{dt} + A \times V(t)^2 = I_{in} \quad \cdot \cdot \cdot (2)$$

[0076]

Here, the capacity C is total of wiring capacity, storage capacitance, and the gate capacitance of the transistor M as mentioned above. The change to the time t of drain voltage [of the transistor M produced by solving this] V (t), i.e., the voltage of the capacity C, comes to be shown in an outline and drawing 5 (b). Here, tau is a damping time constant, and when the gate capacitance in the capacity C is larger than other capacity, it is expressed with a following formula (3). And the voltage V (t) reaches 99.5% of value of saturation voltage V (s) in time

$t=3\tau$.

[0077]

[Equation 3]

$$\tau = \frac{C}{\sqrt{A \times I_{in}}} \quad \cdot \cdot \cdot (3)$$

[0078]

That is, the damping time constant τ is proportional to a value of the capacity C , and in inverse proportion to the $1/\text{square}$ of mobility μ .

Here, in 6 pF and W/L , when thickness of $70\text{-m}^2/Vs$ and gate dielectric film is 105 nm and the force current I_{in} is set to 10microA for 100 micrometers/30 micrometer, and mobility μ , using poly-Si TFT as the transistor M , the damping time constant τ is set [capacity / C] to 1.42microsec. For this reason, when the number of scan lines of a display panel to drive is made into 120, a selection period per scan line is set to about 139microsec, and a number of a data line which can be written in within a time [this] becomes about 32.

[0079]

On the other hand, when mobility μ of the transistor M is $245\text{-m}^2/Vs$ in a basis of the above-mentioned conditions, The damping time constant τ is set to about 0.096microsec, and a number of a data line which can be written in within a selection period per scan line of the above-mentioned display panel by this becomes about 482, The number of scan lines can drive 120 and the number of data lines can drive 1 / 4VGA panel of 160 (xRGB) books.

Or mobility μ does not change by $70\text{-m}^2/Vs$, but similarly the damping time constant τ is set to about 0.096microsec, and ** as well as the above can drive 1 / 4VGA panel, when the capacity C is 0.51 pF.

That is, in order to drive 1 / 4VGA panel at least, it is needed that mobility μ of the transistor M has a larger value in general than $200\text{-cm}^2/Vs$ or that the capacity C is a value smaller than 0.5 pF in general.

[0080]

It can be proportional to a value of the capacity C , and as mentioned above, since it is in inverse proportion to $1/\text{square}$ of mobility μ of a transistor, the damping time constant τ has the still smaller capacity C , or if mobility μ becomes still larger, it can make the damping time constant τ small, and can drive a higher definition display panel.

As composition of a transistor which realizes the above-mentioned mobility and capacity value, Although it does not limit in particular, if it is a polysilicon MOS transistor which has the continuation grain boundary formed on an insulating substrate, for example, and the MOS transistor formed on a single crystal silicon substrate, the above-mentioned conditions can be fulfilled and it can use conveniently.

[0081]

<A 2nd embodiment of a current drive device>

Drawing 6 is an outline lineblock diagram showing a 2nd embodiment of a current drive device concerning this invention. Here, about composition equivalent to a 1st embodiment mentioned above, same or equivalent numerals are attached, and the explanation is simplified or omitted. Operation which holds current which has a predetermined current value which a current drive device concerning a 2nd embodiment is provided with a current storage parts store of a couple for every output terminal to which load is connected, and is supplied by current storage parts store of one side from a single current generation circuit one by one, It is constituted so that

operation which outputs collectively current already held by a current storage parts store of the other side via an output terminal may be performed in concurrency.

[0082]

A current drive device concerning this embodiment specifically, The single current generation circuit 10B which generates the current I_c which has a predetermined current value according to a driving state of load one by one, and outputs it as shown in drawing 6. It is provided by a couple in parallel for every output terminal Tout connected to each load which omitted a graphic display, Two or more current store circuits 30B which consist of the current storage parts stores 31a and 31b which incorporate the current I_c supplied by turns (alternative), and hold it from the current generation circuit 10B to individual timing, 2 sets is provided corresponding to the current storage parts stores 31a and 31b which constitute the current store circuit 30B, The shift register 20B (shift register sections 21a and 21b) which sets up timing at the time of supplying the current I_c supplied from the current generation circuit 10B to each of the current storage parts stores 31a and 31b, 2 sets is provided corresponding to the current storage parts stores 31a and 31b which constitute the current store circuit 30B, Based on individual timing set up with each shift registers 21a and 21b, With two or more input side switch means 40B (switches 41a and 41b) to control a supply state of the current I_c from the current generation circuit 10B to each current store circuit 30B, it is provided for every output terminal Tout, and based on the predetermined output selection signal SEL, Either of the current storage parts stores 31a and 31b is chosen, and it has two or more output side switching means 50B which control an output state to each output terminal Tout of current held at these current storage parts stores 31a and 31b, and is constituted. the current generation circuit 10B applied to this embodiment and the shift register 20B (the shift register section 21a.) Since 21b, the current store circuit 30B (current storage parts stores 31a and 32b), and the input side switch means 40B (switches 41a and 41b) have composition equivalent to a 1st embodiment mentioned above, they omit detailed explanation.

[0083]

Here, the shift register section 21a outputs a shift output one by one as switch switching signal SR1 to predetermined timing to each switch 41a formed corresponding to the current storage parts store 31a among the current store circuits 30B provided for every output terminal Tout. As opposed to each switch 41b with which the shift register 21b was formed on the other hand corresponding to the current storage parts store 31b among the current store circuits 30B provided for every output terminal Tout, A shift output is outputted one by one as switch switching signal SR2 to different timing which does not lap with timing of a shift output of the above-mentioned shift register 21a in time.

Based on the output selection signal SEL with which the output side switching means 50B is outputted from a control section which omitted a graphic display, It synchronizes with output timing of switch switching signal SR1 from the above-mentioned shift registers 21a and 21b, and SR2, and it operates so that a current storage parts store (current storage parts store side which is not chosen) by the side of a switch which has not carried out ON operation among the above-mentioned input side switch means 40B may be chosen.

[0084]

On a current drive device which has such composition, and in the 1st operation period (as for the current storage parts store 31a side, the current write period / current storage parts store 31b side is a current output period), By outputting switch switching signal SR1 from the shift register 21a to each switch 41a formed corresponding to the current storage parts store 31a of each current store circuit 30B one by one, Each switch 41a carries out ON operation only of the prescribed period one by one, and the current I_c supplied from the current generation circuit 10B is written in each current storage parts store 31a one by one. At this time, switch switching signal SR2 is not outputted from the shift register 21b, but all the switches 41b are in an OFF state.

[0085]

While the output selection signal SEL which switches the output side switching means 50B established corresponding to each output terminal Tout to the current storage parts store 31b

side, and sets it up is outputted in common from a control section at this time, To predetermined timing, current already held at each current storage parts store 31b is outputted to each load all at once by the same timing via each output terminal Tout as the load drive current Idv by outputting output enable signal EN2 in common to all the current storage parts stores 31b.

[0086]

Subsequently, in the 2nd operation period (as for the current storage parts store 31a side, the current output period / current storage parts store 31b side is a current write period) set up after an end of an operation period of the above 1st, By outputting switch switching signal SR2 from the shift register 21b to each switch 41b formed corresponding to the current storage parts store 31b of each current store circuit 30B one by one, Each switch 41b carries out ON operation only of the prescribed period one by one, and the current Ic supplied from the current generation circuit 10B is written in each current storage parts store 31b one by one. At this time, switch switching signal SR1 is not outputted from the shift register 21a, but all the switches 41a are in an OFF state.

[0087]

While the output selection signal SEL which switches the output side switching means 50B to the current storage parts store 31a side, and sets it up is outputted in common from a control section at this time, By outputting output enable signal EN1 in common to all the current storage parts stores 31a to predetermined timing, Current held in the 1st operation period of the above at each current storage parts store 31a is outputted to each load all at once to the same timing via each output terminal Tout as the load drive current Idv.

And by repeating and setting up such 1st and 2nd operation periods for every predetermined cycle of operation, While the current Ic continuously outputted from the current generation circuit 10B is held among the current storage parts stores 31a and 31b of a couple at one side, operation to which the load drive current Idv is outputted from another side is performed alternation and continuously.

[0088]

Therefore, like [according to the current drive device concerning this embodiment] a 1st embodiment mentioned above, By incorporating current outputted into each current store circuit (current storage parts store) one by one, holding it from a single current generation circuit, and outputting collectively to predetermined timing, Since current which has a uniform current characteristic supplied from a single current source can be held for every output terminal, While being able to control variation in load drive current between each output terminal, Current which is provided with a current storage parts store of a couple for every output terminal, and is outputted from a current generation circuit in the state where it is writing in one current storage parts store side one by one. outputting collectively current held at the current storage parts store side of another side -- waiting time at the time of current write operation -- shortening -- or, Since it can lose, substantial always predetermined load drive current can be supplied to each load via an output terminal, feed time of driving current to load can be lengthened, and a driving state can be controlled finely.

[0089]

<A 3rd embodiment of a current drive device>

Drawing 7 is an outline lineblock diagram showing a 3rd embodiment of a current drive device concerning this invention. Here, about composition equivalent to 1st and 2nd embodiments mentioned above, same or equivalent numerals are attached, and the explanation is simplified or omitted.

Operation which holds current which has a predetermined current value which a current drive device concerning a 3rd embodiment provides two steps of current storage parts stores in series for every output terminal to which load is connected, and is supplied by current storage parts store of the preceding paragraph from a single current generation circuit one by one, It is constituted so that operation which outputs collectively current transmitted by latter current storage parts store from a current storage parts store of the preceding paragraph via an output terminal may be performed in concurrency.

[0090]

A current drive device concerning this embodiment specifically, The single current generation circuit 10C which generates the current I_c which has a predetermined current value according to a driving state of load one by one, and outputs it as shown in drawing 7, The current I_c which is established two steps in in-series for every output terminal Tout, and is supplied from the current generation circuit 10B, Based on output enable signal (transfer control signal) EN1 supplied from a control section which incorporated and held to predetermined timing and omitted a graphic display, The current storage parts store 32a which bundles up current held to predetermined timing and is transmitted to the current storage parts store 32b of the next step, And current which incorporated and held current transmitted from the current storage parts store 32a, and was held based on output enable signal EN2 supplied from a control section to predetermined timing. Two or more current store circuits 30C which consist of the current storage parts store 32b collectively outputted via the output terminal Tout, The shift register 20C which sets up timing at the time of supplying the current I_c supplied from the current generation circuit 10C to the current storage parts store 32a of the preceding paragraph, The switching means 40C which controls a supply state of the current I_c from the current generation circuit 10C to each current store circuit 30C based on predetermined timing set up with the shift register 20C, Preparation ***** is carried out. Since the current generation circuit 10C, the shift register 20C, the current store circuit 30C (current storage parts stores 32a and 32b), and the switching means 40C which are applied to this embodiment have composition equivalent to a 1st embodiment mentioned above, they omit detailed explanation.

[0091]

On a current drive device which has such composition, and in the 1st operation period, By outputting switch switching signal SR from the shift register 20C to the switching means 40C established corresponding to each current store circuit 30C one by one, The switching means 40C carries out ON operation only of the prescribed period one by one, and the current I_c supplied from the current generation circuit 10C is written in the current storage parts store 32a of the preceding paragraph one by one.

By outputting output enable signal EN2 from a control section in common to predetermined timing to the current storage parts store 32b of all the latter parts at this time, Current already held at each current storage parts store 32b is outputted to each load all at once to the same timing via each output terminal Tout as the load drive current Idv.

And by outputting output enable signal EN1 from a control section in common to predetermined timing after an end of an operation period of the above 1st to the current storage parts store 32a of all the preceding paragraphs, Current held in the 1st operation period of the above at each current storage parts store 32a is transmitted [it bundles it up and] and held at the latter current storage parts store 32b (transfer operation period).

[0092]

Subsequently, in the 2nd operation period set up after an end of transfer operation of current in the above-mentioned current store circuit 30C, Switch switching signal SR from the shift register 20C again like the 1st operation period mentioned above by being outputted to each switching means 40C one by one, While the current I_c supplied from the current generation circuit 10C is written in the current storage parts store 32a of the preceding paragraph one by one, At this time, current which was above-transmitted and was held is outputted to each load from each current storage parts store 32b all at once as the load drive current Idv to the latter current storage parts store 32b by outputting output enable signal EN2 in common to predetermined timing.

[0093]

And while holding the current I_c continuously outputted from the current generation circuit 10C by repeating and setting up such a series of operation periods for every predetermined cycle of operation to the current storage parts store 32a of the preceding paragraph, Operation which outputs current transmitted from the current storage parts store 32a of the preceding paragraph as the load drive current Idv from the latter current storage parts store 32b is performed one by one and continuously.

Therefore, according to the current drive device concerning this embodiment, like a 2nd

embodiment mentioned above, while being able to control variation in load drive current between each output terminal, feed time of driving current to load can be lengthened, and a driving state can be controlled finely.

[0094]

<A 4th embodiment of a current drive device>

Drawing 8 is an outline lineblock diagram showing a 4th embodiment of a current drive device concerning this invention. Here, about composition equivalent to the 1st thru/or a 3rd embodiment mentioned above, same or equivalent numerals are attached, and the explanation is simplified or omitted.

In composition shown in the 1st thru/or a 3rd embodiment which mentioned above a current drive device concerning a 4th embodiment, While forming on an individual semiconductor chip for every group by making into one group composition including a current store circuit, a shift register, and a switching means which were established corresponding to an output terminal and this output terminal of a predetermined number, A single current generation circuit is provided to each group (semiconductor chip), and it has the composition which supplies in common current which has a predetermined current value. In an example shown below, although a case where it applies to composition shown in a 2nd embodiment mentioned above is explained, it is applicable to other embodiments similarly.

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]

In a current drive device which operates said two or more loads by a predetermined driving state by outputting driving current which has a predetermined current value for an output terminal by which load is connected to each to each of two or more preparations and an output terminal of this plurality,

The only current generating means which generates and outputs current which has a predetermined current value for controlling a driving state of said load,

To predetermined timing which is provided for said every output terminal, incorporates said current outputted from said current generating means one by one, holds it to respectively different timing, and drives said load. Two or more current storing means which output said driving current based on said said held current all at once via said output terminal,

A current drive device characterized by preparation *****.

[Claim 2]

The current drive device according to claim 1, wherein said current outputted from said current generating means is set up have a current value based on an input signal.

[Claim 3]

Said each current storing means is provided with a current storage parts store of a couple arranged in parallel,

Operation which incorporates and holds said current outputted to one current storage parts store from said current generating means, The current drive device according to claim 1 or 2 controlling to perform simultaneously in parallel operation which outputs said driving current based on current held to a current storage parts store of another side to said each output terminal.

[Claim 4]

Said each current storing means is provided with a current storage parts store of the preceding paragraph and the latter part arranged in series,

Operation which incorporates and holds said current outputted to a current storage parts store of said preceding paragraph from said current generating means, and transmits said held current to the next step, The current drive device according to claim 1 or 2 controlling to perform simultaneously in parallel operation which outputs said driving current based on said current transmitted from a current storage parts store of said preceding paragraph held at a current storage parts store of said latter part to said each output terminal.

[Claim 5]

Said current generating means,

A control current generation part which generates the control current which has the 1st current value based on a digital input signal of a predetermined number for controlling each driving state of two or more of said loads,

An output current generation part which generates output current which has the 2nd current value that serves as a predetermined rate of a current ratio to said control current, and is outputted to said current storing means,

A preparation,

The current drive device according to any one of claims 1 to 4, wherein said 1st current value is set up more greatly than said 2nd current value.

[Claim 6]

The current drive device according to claim 1, wherein said driving current is set up have the same predetermined current value to each output terminal.

[Claim 7]

Said current drive device equips the preceding paragraph of two or more of said current storing means with a single input current memory measure,

The current drive device according to claim 6, wherein said input current memory measure supplies current which incorporated into said input current memory measure said current outputted from said current generating means, held it, and was held to said input current memory measure to said two or more current storing means to arbitrary timing.

[Claim 8]

Said input current memory measure is provided with an input current storage parts store of a couple arranged in parallel,

The current drive device according to claim 7 controlling to perform simultaneously in parallel operation which incorporates and holds said current outputted to one input current storage parts store from said current generating means, and operation which supplies current held to an input current storage parts store of another side to said two or more current storing means.

[Claim 9]

Further, it is connected to said two or more output terminals, and said current drive device is provided with a pulse width setting-out means to set up pulse width of said driving current supplied to said load from said output terminal,

The current drive device according to claim 7, wherein said pulse width setting-out means sets up said pulse width for said every output terminal according to an input signal.

[Claim 10]

The current drive device according to any one of claims 1 to 9 characterized by forming a current storing means and said output terminal of said plurality in at least one semiconductor chip at least.

[Claim 11]

The current drive device according to claim 10, wherein said current generating means is formed in a semiconductor chip separate from said semiconductor chip.

[Claim 12]

The current drive device according to claim 10, wherein said current generating means is formed in said semiconductor chip.

[Claim 13]

In said semiconductor chip, said current storing means flows down said current between source drains, has a field effect transistor which holds voltage between source gates based on this current to parasitic capacitance between source gates, and is constituted, [at least]

The current drive device according to claim 10, wherein mobility of said field effect transistor has a value of at least $200\text{-cm}^2/\text{Vs}$.

[Claim 14]

In a current drive device which operates said two or more loads by a predetermined driving state by outputting driving current which has a predetermined current value for an output terminal by which load is connected to each to each of two or more preparations and an output terminal of this plurality,

The only reference current generating means provided with two or more reference current generating parts which generate and output reference current to which a current value was set have weighting which is arranged in parallel with mutual and is respectively different,

A reference current memory measure provided with two or more reference current storage parts stores which incorporate individually said reference current outputted from said two or more reference current generating parts in said reference current generating means, and hold it,

A current generating means which generates current which chooses said arbitrary reference

current storage parts stores among said two or more reference current storage parts stores, and has a predetermined current value,

Two or more current storing means which output said driving current based on said said held current to said each output terminal all at once to predetermined timing which incorporates said current generated by said current generating means one by one, holds it to respectively different timing, and drives said load,

A providing current drive device.

[Claim 15]

Inside of two or more of said reference current storage parts stores [in / based on a digital input signal of a predetermined number / in said current generating means / said reference current memory measure], The current drive device according to claim 14 compounding said reference current which chose arbitrary reference current storage parts stores, and was held at said this chosen reference current storage parts store, and generating said current.

[Claim 16]

Said reference current memory measure is arranged in parallel, and it has the reference current store circuit unit of a couple provided with said two or more reference current storage parts stores, respectively,

Operation which incorporates and holds said reference current outputted to one reference current store circuit unit from said two or more reference current generating parts, The current drive device according to claim 14 or 15 controlling to perform simultaneously in parallel operation which generates said current by said current generating means based on reference current held in the reference current store circuit unit of another side.

[Claim 17]

The current drive device according to any one of claims 14 to 16 characterized by forming said two or more reference current memory measures, said current generating means, a current storing means of said plurality, and said output terminal in at least one semiconductor chip at least.

[Claim 18]

The current drive device according to claim 17, wherein said reference current generating means is formed in a semiconductor chip separate from said semiconductor chip.

[Claim 19]

The current drive device according to claim 17, wherein said reference current generating means is formed in said semiconductor chip.

[Claim 20]

In said semiconductor chip, said current storing means flows down said current between source drains, has a field effect transistor which holds voltage between source gates based on this current to parasitic capacitance between source gates, and is constituted, [at least]

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

TECHNICAL FIELD

[Field of the Invention]

This invention about the display which used a current drive device, a drive method for the same, and a current drive device, A current drive device which drives two or more loads especially by the current set as the current value or the same current value specified for every load, and a drive method for the same, And using the display driving circuit which has the composition of this current drive device, a display device is driven so that it may become predetermined display gradation, and it is related with the display which displays desired picture information on a display panel.

[0002]

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

PRIOR ART

[Description of the Prior Art]

Conventionally, the light emitting device type display (display) provided with the display panel which carried out the multiple arrays of an organic electroluminescence element (it is hereafter written as an "organic EL device") and the self-luminescence type light emitting device of a light emitting diode (LED) etc. is known.

[0003]

Spread compares with a remarkable liquid crystal display (LCD) in such a display in recent years, While display response speed is quick, and there is also no view angle dependence and high-intensity and high-contrast-izing, highly-minute-izing of display image quality, low power consumption, etc. are possible, Like [in the case of a liquid crystal display], since a back light is not needed, there are some which have the very dominance feature that much more thin weight saving is possible, and research and development are briskly done as a next-generation display.

[0004]

The display panel in which the display pixel which contains a light emitting device near [intersection] each [of the scan line where an example of such a display was allocated in the outline and the line writing direction, and the data line allocated in the column direction] was arranged, The data driver which generates the predetermined driving current according to an indicative data, and is supplied to each display pixel (light emitting device) via a data line, According to the above-mentioned driving current which was provided with the scanning driver which impresses a scanning signal to predetermined timing and makes the display pixel of a predetermined line a selective state, and was supplied to each display pixel. By carrying out emission operating of each light emitting device by the predetermined luminance gradation according to an indicative data, desired picture information is displayed on a display panel. The example of a light emitting device type display is explained in detail in the embodiment of the invention mentioned later.

[0005]

In display driving operation [in / here / the above-mentioned display], The driving current which has an individual current value according to an indicative data is generated to two or more display pixels (light emitting device), As opposed to a current specification [which repeats successively the operation which supplies the display pixel of a specific line simultaneously and makes each light emitting device emit light by predetermined luminance gradation about each line for one screen] type drive system, and two or more display pixels (light emitting device), The Pulse-Density-Modulation (PWM) type drive system etc. which repeat successively the operation which supplies the driving current of the fixed current value which has the individual time width (signal width) according to an indicative data to the display pixel of a line specific within the same display period, and makes each light emitting device emit light by predetermined luminance gradation by one screen are known.

[0006]

In these display driving operations, it is necessary to supply the driving current which has the predetermined current value or fixed current value according to an indicative data in two or more display pixels for every line all at once (to inside of the simultaneous or same display period). In

order to correspond to the increase in the number of contact buttons of a display panel accompanying high-definition-izing (highly-minute-izing) and big-screen-izing of a thin display device in recent years, In two or more preparations and each driver tip, the above-mentioned driving current is individually generated for the driver tip (semiconductor chip) provided with the output terminal of the predetermined number corresponding to a data line as the above-mentioned data driver, What applied the circuitry supplied to each light emitting device all at once via a data line is known.

[0007]

[Translation done.]

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

EFFECT OF THE INVENTION

[Effect of the Invention]

In [as explained above] a current drive device and a drive method for the same of the 1st invention, By supplying the driving current which has the specified predetermined current value or the same current value to each of two or more loads, such as a light emitting device by which multiple arrays were carried out, In the current drive device which operates each load by driving states, such as predetermined luminance gradation, It is supplied common to two or more current storing means which the current which has a predetermined current value for controlling the driving state of the above-mentioned load by the only current generating means was generated and outputted, for example, were individually formed in two or more semiconductor chips, and incorporation maintenance is carried out one by one to predetermined timing. Therefore, the current which has a uniform current characteristic supplied to each current storing means of each semiconductor chip from a single current source is held. Therefore, the variation in the driving current between the output terminals provided between each semiconductor chip and in the same semiconductor chip (variation in output characteristics) can be small controlled by a comparatively simple equipment configuration.

[0170]

By applying the current drive device concerning the 1st invention to the signal drive circuit (data driver) of a display, While being able to control small the variation in the driving current between the output terminals provided between each driver tip (semiconductor chip) and in the same driver tip and being able to control generating of display unevenness, The write cycle to each display pixel can be shortened, and improvement in display image quality can be aimed at. Even if it is a case where the number of contact buttons of the display panel increased, and the number of driver tips increases with highly-minute-izing and enlargement of a display panel, Since the current which has a predetermined current value with a uniform current characteristic to the current storing means of all the driver tips by a single current generating means can be made to hold, the circuitry in each driver tip can be simplified and space-saving-izing of a device scale and reduction of product cost can be aimed at.

[0171]

By supplying the driving current which has the predetermined current value or the same current value specified to each of two or more loads, such as a light emitting device by which multiple arrays were carried out, in a current drive device and a drive method for the same of the 2nd invention, In the current drive device which operates each load by driving states, such as predetermined luminance gradation, The only reference current generating means which consists of two or more reference current generating parts generates, Two or more outputted reference current is supplied common to two or more reference current memory measures individually formed in two or more semiconductor chips, for example, and is held individually, By choosing arbitrary reference current storage parts stores based on the digital input signal of a predetermined number by a current generating means, and compounding the held reference current, The driving current generated based on the current which generated the predetermined current which consists of an analog signal corresponding to a digital input signal, and was held by making this current into driving current to predetermined timing can be supplied to two or more

loads all at once.

Therefore, while being able to control the variation in the driving current between the output terminals provided between each semiconductor chip and in the same semiconductor chip by a comparatively simple equipment configuration, each load can be operated by the driving state which corresponded to the input signal good.

[0172]

Therefore, by applying the current drive device concerning the 2nd invention to the signal drive circuit (data driver) of a display, While being able to control the variation in the driving current between the output terminals provided between each driver tip (semiconductor chip) and in the same semiconductor chip and being able to control generating of display unevenness, Since the analog signal (driving current) corresponding to a good multi-gradation display is generable from a predetermined digital input signal (indicative data), the display which can make a gradation display clear further is realizable.

[0173]

Even if it is a case where the number of contact buttons of the display panel increased, and the number of driver tips increases with highly-minute-izing and enlargement of a display panel, Since the uniform reference current to which the current value which has predetermined weighting to the reference current memory measure of all the driver tips by a single reference current generating means was set can be made to hold, The circuitry in each driver tip can be simplified and space-saving-izing of a device scale and reduction of product cost can be aimed at.

[Translation done.]

*** NOTICES ***

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

TECHNICAL PROBLEM

[Problem(s) to be Solved by the Invention]

However, in the display which applied the data driver provided with two or more driver tips which were mentioned above, it had a problem as shown below.

Namely, in the data driver which consists of two or more conventional driver tips, Since it had the composition which is provided with the circuit for generating driving current individually for every driver tip, and supplies driving current to each light emitting device all at once via each output terminal from each driver tip, If variation arises in the current value of the driving current outputted from two or more driver tips, it has the problem that variation is produced in the luminescent state (luminance gradation of a light emitting device) in each display pixel, and display unevenness arises. Then, it is necessary to control the variation in driving current as much as possible between each driver tip and between each output terminal.

[0008]

Here, in the field of semiconductor manufacturing technology, it is known that variation will certainly arise in the element characteristic of functional elements, such as a transistor element, a resistance element, a capacitive element, etc. which are formed in the same semiconductor chip. And what what can be controlled to some extent abolishes the variation in such an element characteristic for thoroughly by optimization of a manufacturing process, etc. (zero are used) is made impossible, and has become the main causes by which this makes creation of the analogue integrated circuit (IC) difficult.

[0009]

In connection with the minuteness making of the design lower limit applied to a transistor element, existence (number) of the impurity atom within a channel will actualize relatively, and it is also reported that variation arises in a threshold, mobility, etc. by the variation in the number. therefore, boiling markedly the variation in the driving current between the output terminals of a driver tip which was mentioned above (variation in the output characteristics of a semiconductor chip) only with the technique of optimization of a manufacturing process, and improving has the problem of being very difficult.

[0010]

To the number of output terminals which can be installed in one semiconductor chip. According to the problem of the manufacturing yield lowering by the increase in signal delay by the increase in a wire length, or the increase in the element number in 1 chip, since there is a limit, as mentioned above, two or more driver tips will need to constitute a data driver inevitably, but. Also controlling the variation between driver tips has the problem that it is accompanied by extraordinary difficulty, the variation in the above-mentioned driving current becoming still larger, and controlling the variation in the driving current in the same driver tip, if semiconductor chips differ.

[0011]

Although current setting-out resistance is attached for every output terminal of each driver tip and the technique of adjusting the resistance of this current setting-out resistance individually is known as art which amends the variation in the driving current in a driver tip, When the number of output terminals provided in the same driver tip increases, Since adjustment of each current

setting-out resistance becomes complicated, and adjustment costs great time and cost and also the resistance installation area on circuitry also increases, it has the problem that it is not suitable as the technique of controlling the variation in the driving current between each output terminal.

[0012]

Therefore, in order to also control the variation between driver tips, controlling the variation in the driving current between the output terminals of the same driver tip. It has the data driver and the problem of it being further, said that the rise of product cost is caused, while enlarging to the device scale of a display which must add complicated and large-scale circuitry and for which it has a driver tip between each output terminal and between each driver tip.

[0013]

In addition, as mentioned above, in the display in recent years, much more clear-ization of the gradation display is called for with highly-minute-izing of display image quality, but. In the light emitting device type display developed now, When generating the driving current which has an analog signal ingredient by digital to analog from the digital input signal used as an indicative data, it also has the problem that it has not yet resulted even in establishment of the art which generates the analog output signal which is a grade which can realize sufficient gradation display.

[0014]

Then, in the equipment configuration driven by the current set as the current value or the same current value which specified two or more loads for every load in view of various problems which mentioned this invention above, By comparatively simple circuitry, the variation in the current between the output terminals of the same driver tip is controlled, And it sets it as the 1st purpose to provide a current drive device which can also control the variation between driver tips, and a drive method for the same, and to provide the display which has the good display properties by which display unevenness was controlled by applying this current drive device to a data driver.

It sets it as the 2nd purpose to provide a current drive device provided with the digital-to-analog function which can change into the analog signal corresponding to a good multi-gradation display from a predetermined digital signal, and a drive method for the same, and to provide the display which can attain much more clear-ization of display image quality.

[0015]

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

MEANS

[Means for Solving the Problem]

The current drive device according to claim 1 by outputting driving current which has a predetermined current value for an output terminal by which load is connected to each to each of two or more preparations and an output terminal of this plurality, In a current drive device which operates said two or more loads by a predetermined driving state, The only current generating means which generates and outputs current which has a predetermined current value for controlling a driving state of said load, To predetermined timing which is provided for said every output terminal, incorporates said current outputted from said current generating means one by one, holds it to respectively different timing, and drives said load. It is characterized by having two or more current storing means which output said driving current based on said held current all at once via said output terminal.

[0016]

It is characterized by setting up said current to which the current drive device according to claim 2 is outputted from said current generating means in the current drive device according to claim 1 have a current value based on an input signal.

In the current drive device according to claim 1 or 2, the current drive device according to claim 3 said each current storing means, Operation which incorporates and holds said current which is provided with a current storage parts store of a couple arranged in parallel, and is outputted to one current storage parts store from said current generating means, It is characterized by being controlled to perform simultaneously in parallel operation which outputs said driving current based on current held to a current storage parts store of another side to said each output terminal.

[0017]

In the current drive device according to claim 1 or 2, the current drive device according to claim 4 said each current storing means, Operation which is provided with a current storage parts store of the preceding paragraph and the latter part arranged in series, incorporates and holds said current outputted to a current storage parts store of said preceding paragraph from said current generating means, and transmits said held current to the next step, The current drive device according to claim 1 or 2 controlling to perform simultaneously in parallel operation which outputs said driving current based on said current transmitted from a current storage parts store of said preceding paragraph held at a current storage parts store of said latter part to said each output terminal.

[0018]

In the current drive device according to any one of claims 1 to 4, the current drive device according to claim 5 said current generating means, A control current generation part which generates the control current which has the 1st current value based on a digital input signal of a predetermined number for controlling each driving state of two or more of said loads, Output current which has the 2nd current value that serves as a predetermined rate of a current ratio to said control current is generated, it has an output current generation part outputted to said current storing means, and said 1st current value is characterized by being set up more greatly than said 2nd current value.

[0019]

The current drive device according to claim 6 is characterized by setting up said driving current have the same predetermined current value to each output terminal in the current drive device according to claim 1.

In the current drive device according to claim 6, the current drive device according to claim 7 said current drive device, Equip the preceding paragraph of two or more of said current storing means with a single input current memory measure, and said input current memory measure, It is characterized by supplying current which incorporated into said input current memory measure said current outputted from said current generating means, held it, and was held to said input current memory measure to said two or more current storing means to arbitrary timing.

[0020]

In the current drive device according to claim 7, the current drive device according to claim 8 said input current memory measure, Operation which incorporates and holds said current which is provided with an input current storage parts store of a couple arranged in parallel, and is outputted to one input current storage parts store from said current generating means, It is characterized by being controlled to perform simultaneously in parallel operation which supplies current held to an input current storage parts store of another side to said two or more current storing means.

In the current drive device according to claim 7, the current drive device according to claim 9 said current drive device, It is connected to said two or more output terminals, and has a pulse width setting-out means to set up pulse width of said driving current supplied to said load from said output terminal, and said pulse width setting-out means is characterized by setting up said pulse width for said every output terminal according to an input signal.

The current drive device according to claim 10 is characterized by forming a current storing means and said output terminal of said plurality in at least one semiconductor chip at least in the current drive device according to any one of claims 1 to 9.

[0021]

The current drive device according to claim 11 is characterized by forming said current generating means in a semiconductor chip separate from said semiconductor chip in the current drive device according to claim 10.

The current drive device according to claim 12 is characterized by forming said current generating means in said semiconductor chip in the current drive device according to claim 10.

In the current drive device according to claim 10, at least the current drive device according to claim 13 in said semiconductor chip said current storing means, Flow down said current between sauce drains, and have a field effect transistor which holds voltage between sauce gates based on this current to parasitic capacitance between sauce gates, and it is constituted, Mobility of said field effect transistor is characterized by having a value of at least $200\text{-cm}^2/\text{Vs}$.

[0022]

The current drive device according to claim 14 equips with the following a current drive device which operates said two or more loads by a predetermined driving state by outputting driving current which has a predetermined current value for an output terminal by which load is connected to each to each of two or more preparations and an output terminal of this plurality. The only reference current generating means provided with two or more reference current generating parts which generate and output reference current to which a current value was set have weighting which is arranged in parallel with mutual and is respectively different.

A reference current memory measure provided with two or more reference current storage parts stores which incorporate individually said reference current outputted from said two or more reference current generating parts in said reference current generating means, and hold it.

A current generating means which generates current which chooses said arbitrary reference current storage parts stores among said two or more reference current storage parts stores, and has a predetermined current value, Two or more current storing means which output said driving current based on said said held current to said each output terminal all at once to predetermined timing which incorporates said current generated by said current generating means one by one,

holds it to respectively different timing, and drives said load.

[0023]

In the current drive device according to claim 14, the current drive device according to claim 15 said current generating means, It is characterized by compounding said reference current which chose arbitrary reference current storage parts stores among said two or more reference current storage parts stores in said reference current memory measure, and was held at said this chosen reference current storage parts store based on a digital input signal of a predetermined number, and generating said current.

In the current drive device according to claim 14 or 15, the current drive device according to claim 16 said reference current memory measure, Operation which incorporates and holds said reference current which is arranged in parallel, is provided with the reference current store circuit unit of a couple provided with said two or more reference current storage parts stores, respectively, and is outputted to one reference current store circuit unit from said two or more reference current generating parts, It is characterized by being controlled to perform simultaneously in parallel operation which generates said current by said current generating means based on reference current held in the reference current store circuit unit of another side.

[0024]

In the current drive device according to any one of claims 14 to 16 the current drive device according to claim 17, Said two or more reference current memory measures, said current generating means, a current storing means of said plurality, and said output terminal at least are characterized by being formed in at least one semiconductor chip.

The current drive device according to claim 18 is characterized by forming said current generating means in a semiconductor chip separate from said semiconductor chip in the current drive device according to claim 17.

[0025]

The current drive device according to claim 19 is characterized by forming said current generating means in said semiconductor chip in the current drive device according to claim 17. In the current drive device according to claim 17, at least the current drive device according to claim 20 in said semiconductor chip said current storing means, Flow down said current between sauce drains, and have a field effect transistor which holds voltage between sauce gates based on this current to parasitic capacitance between sauce gates, and it is constituted, Mobility of said field effect transistor is characterized by having a value of at least $200\text{-cm}^2/\text{Vs}$.

[0026]

A drive method of the current drive device according to claim 21, By outputting driving current which has a predetermined current value for an output terminal by which load is connected to each to each of two or more preparations and an output terminal of this plurality, In a drive method of a current drive device which operates said two or more loads by a predetermined driving state, By the only current generating means, current which has a predetermined current value for controlling a driving state of said load is generated and supplied, To predetermined timing which incorporates said current into two or more current storing means individually established for said every output terminal one by one, holds it to respectively different timing to them, and drives said load. It is characterized by outputting said driving current based on said current held to said each current storing means all at once to said each output terminal.

[0027]

A drive method of the current drive device according to claim 22, In a drive method of the current drive device according to claim 21, said current storing means, It has a current storage parts store of a couple arranged in parallel, and is characterized by performing in concurrency operation which incorporates and holds said current outputted to one current storage parts store from said current generating means, and operation which outputs said driving current based on current held to a current storage parts store of another side to said each output terminal. A drive method of the current drive device according to claim 23, In a drive method of

the current drive device according to claim 21, said current storing means, Operation which is provided with a current storage parts store of the preceding paragraph and the latter part arranged in series, incorporates and holds said current outputted to a current storage parts store of said preceding paragraph from said current generating means, and transmits said held current to the next step, It is characterized by performing in concurrency operation which outputs said driving current based on current transmitted from a current storage parts store of said preceding paragraph held at a current storage parts store of said latter part to said each output terminal.

[0028]

A drive method of the current drive device according to claim 24, In a drive method of the current drive device according to any one of claims 21 to 23, Operation which holds said current outputted from said current generating means to said two or more current storing means in a drive method of said current drive device is preceded, It is characterized by supplying said current which incorporated said current into a single input current memory measure, held it, and was held to said input current memory measure to said two or more current storing means to arbitrary timing.

[0029]

A drive method of the current drive device according to claim 25, By outputting driving current which has a predetermined current value for an output terminal by which load is connected to each to each of two or more preparations and an output terminal of this plurality, In a drive method of a current drive device which operates said two or more loads by a predetermined driving state, Reference current to which a current value was set have respectively different weighting by the only reference current generating means provided with two or more reference current generating parts is generated and supplied, Incorporate said reference current into two or more reference current storage parts stores which constitute a reference current memory measure individually, and it is held to them, Based on a digital input signal of a predetermined number, inside of two or more of said reference current storage parts stores, Current which compounds said reference current which chose arbitrary reference current storage parts stores, and was held at said this chosen current storage parts store, and has a predetermined current value is generated, To predetermined timing which incorporates said generated current into two or more current storing means individually established for said every output terminal one by one, holds it to respectively different timing to them, and drives said load. It is characterized by outputting said driving current based on said current held to said each current storing means all at once to said each output terminal.

[0030]

A drive method of the current drive device according to claim 26, In a drive method of the current drive device according to claim 25, said reference current memory measure, Operation which incorporates and holds said reference current which is arranged in parallel, is provided with the reference current store circuit unit of a couple provided with said two or more reference current storage parts stores, respectively, and is outputted to one reference current store circuit unit from said reference current generating means, It is characterized by generating current which has said predetermined current value based on said held reference current in the reference current store circuit unit of another side, and performing in concurrency operation outputted to said two or more current storing means.

[0031]

As opposed to two or more display pixels arranged near the intersection of a signal wire allocated in a scanning line with which the display according to claim 27 was allocated in a line writing direction of a display panel, and a column direction, By supplying driving current which has a predetermined current value according to a status signal, In a display which drives said display pixel so that it may become predetermined display gradation, and displays desired picture information on said display panel, The only current generating means which generates and outputs current which has a predetermined current value for controlling a displaying condition of said display device at least, Two or more current storing means which are connected to each of said display device and which were established for every output terminal, A signal drive circuit

which has preparation *****, and said display pixel connected to said arbitrary scanning lines to predetermined timing at each of said scanning line are chosen, Said driving current outputted to this display pixel via said signal wire from said signal drive circuit is supplied, Have a scan drive circuit which impresses a scanning signal for driving said display device, and said signal drive circuit, It is constituted by two or more semiconductor chips provided with said current storing means and said output terminal of a predetermined number at least, and said two or more semiconductor chips said current outputted from said only current generating means, To respectively different timing, it incorporates into said two or more current storing means one by one, holds, and is characterized by supplying said driving current based on said said held current to each of said signal wire all at once via said output terminal to predetermined timing which drives said display device.

The display according to claim 28 is characterized by said signal drive circuit having the composition hierarchized so that an output terminal of said semiconductor chip might be connected to an input terminal of two or more of said semiconductor chips located in the next step one by one in the display according to claim 27.

[0032]

As opposed to two or more display pixels arranged near the intersection of a signal wire allocated in a scanning line with which the display according to claim 29 was allocated in a line writing direction of a display panel, and a column direction, By supplying driving current which has a predetermined current value according to a status signal, In a display which drives said display pixel so that it may become predetermined display gradation, and displays desired picture information on said display panel, The only reference current generating means which consists of two or more reference current generating parts which generate and output reference current to which a current value was set have weighting which is arranged in parallel with mutual at least, and is respectively different, A reference current memory measure which consists of two or more reference current storage parts stores which incorporate individually said reference current outputted from said two or more reference current generating parts, and hold it, Two or more current storing means which are connected to each of two or more of said display devices and which were established for every output terminal, A signal drive circuit which has the current drive device, ** and others, and said display pixel connected to said arbitrary scanning lines to predetermined timing at each of said scanning line are chosen, Supply said driving current outputted to this display pixel via said signal wire from said signal drive circuit, have a scan drive circuit which impresses a scanning signal for driving said display device, and said signal drive circuit, It is constituted by two or more semiconductor chips provided with said current storing means and said output terminal of a predetermined number at least, and said two or more semiconductor chips, Based on a digital input signal of a predetermined number, from said reference current held individually at said two or more reference current storage parts stores. Current which has a predetermined current value for controlling each driving state of two or more of said loads is generated and outputted, To predetermined timing which outputs to said current storing means, incorporates into said two or more current storing means one by one, holds to respectively different timing, and drives said display device. It is characterized by supplying said driving current based on said current held to said two or more current storing means from said two or more semiconductor chips of all to each of said signal wire all at once via said output terminal.

The display according to claim 30 is characterized by said signal drive circuit having the composition hierarchized so that an output terminal of said semiconductor chip might be connected to an input terminal of two or more of said semiconductor chips located in the next step one by one in the display according to claim 29.

[0033]

Namely, a current drive device concerning the 1st invention and a drive method for the same, By supplying driving current which has a specified predetermined current value or the same current value to each of loads, such as a display device by which multiple arrays were carried out, In a current drive device which operates each load by driving states, such as predetermined luminance gradation, Current which has a predetermined current value for controlling a driving

state of the above-mentioned load by the only current generating means (current generation circuit) is generated, Current which incorporated into two or more current storing means (current store circuit) which are connected to each of load, and which were individually established for every output terminal one by one, held, and was held to predetermined timing which drives load is made into driving current, Or it is constituted so that driving current generated based on held current may be supplied to two or more loads all at once via an output terminal.

[0034]

Since current generated and outputted by the only current generating means is supplied common to two or more current storing means individually formed in two or more semiconductor chips, for example and is incorporated to predetermined timing by this, it is a current source single to a current storing means of each semiconductor chip.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]It is an outline lineblock diagram showing a 1st embodiment of the current drive device concerning this invention.

[Drawing 2]It is a circuitry figure showing one example of a current generation circuit applicable to this embodiment.

[Drawing 3]It is a circuitry figure showing one example of composition of consisting of a current store circuit and a switching means applicable to this embodiment.

[Drawing 4]It is a key map showing the basic motion in a current store circuit applicable to this embodiment.

[Drawing 5]It is an equivalent circuit for explaining operation of the current component attaching part in a current store circuit.

[Drawing 6]It is an outline lineblock diagram showing a 2nd embodiment of the current drive device concerning this invention.

[Drawing 7]It is an outline lineblock diagram showing a 3rd embodiment of the current drive device concerning this invention.

[Drawing 8]It is an outline lineblock diagram showing a 4th embodiment of the current drive device concerning this invention.

[Drawing 9]It is an outline lineblock diagram showing a 5th embodiment of the current drive device concerning this invention.

[Drawing 10]It is an outline lineblock diagram showing a 6th embodiment of the current drive device concerning this invention.

[Drawing 11]It is an outline lineblock diagram showing a 7th embodiment of the current drive device concerning this invention.

[Drawing 12]It is an outline lineblock diagram showing an 8th embodiment of the current drive device concerning this invention.

[Drawing 13]It is an outline lineblock diagram showing a 9th embodiment of the current drive device concerning this invention.

[Drawing 14]It is a schematic block diagram showing an example of the entire configuration of the display concerning this invention.

[Drawing 15]It is a block diagram showing the important section composition of the data driver applied to the display concerning this embodiment.

[Drawing 16]It is an outline lineblock diagram showing other examples of the scanning driver applied to the display concerning this invention.

[Drawing 17]It is a circuitry figure showing the basic constitution of a pixel driving circuit applicable to the display concerning this invention.

[Drawing 18]It is a key map showing the basic motion of a pixel driving circuit applicable to this embodiment.

[Drawing 19]It is a timing chart which shows the display timing of the picture information in the display concerning this embodiment.

[Drawing 20]It is a schematic block diagram showing the important section composition of other examples of the display concerning this invention.

[Description of Notations]

10A Current generation circuit

10G Reference current generation circuit

20A Shift register

30A Current store circuit

40A Switching means

90G Reference current store circuit

100 Display

110 Display panel

120 Scanning driver

130 Data driver

140 Power supply driver

150 System controller

160 Status signal generating circuit

[Translation done.]

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

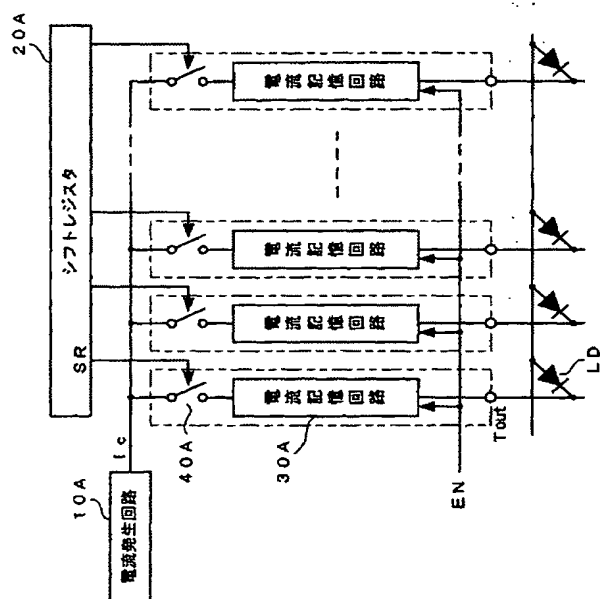
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

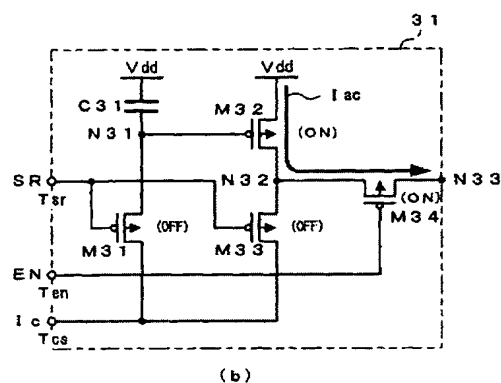
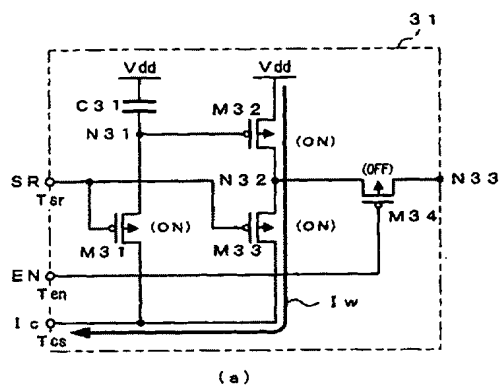
DRAWINGS

[Drawing 1]

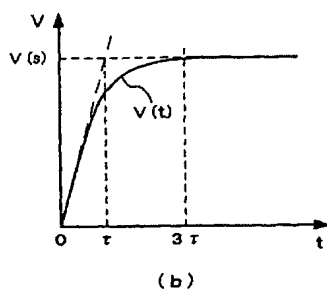
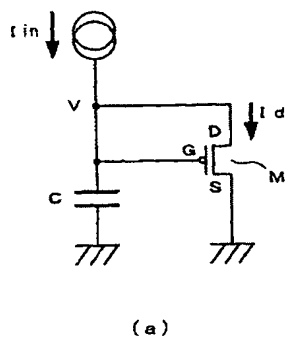


[Drawing 2]

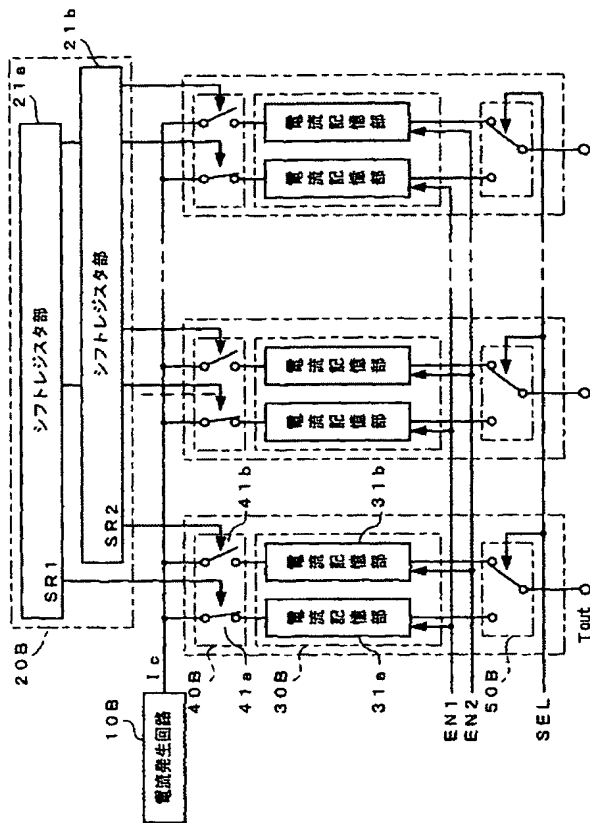




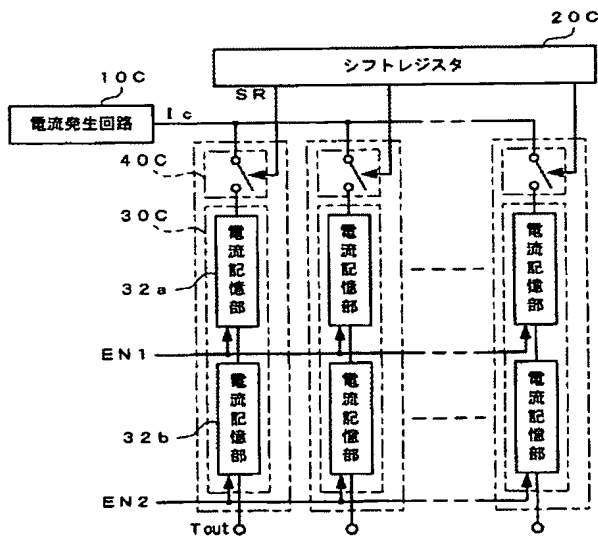
[Drawing 5]



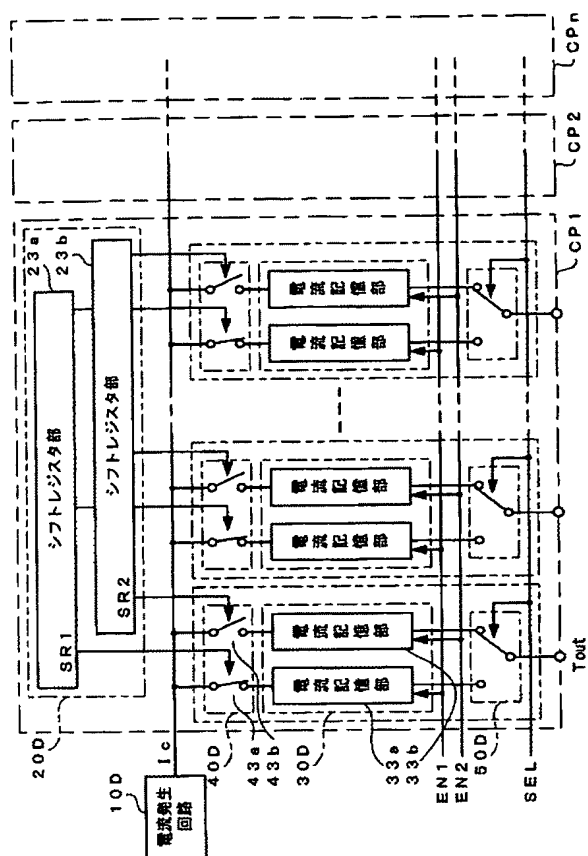
[Drawing 6]



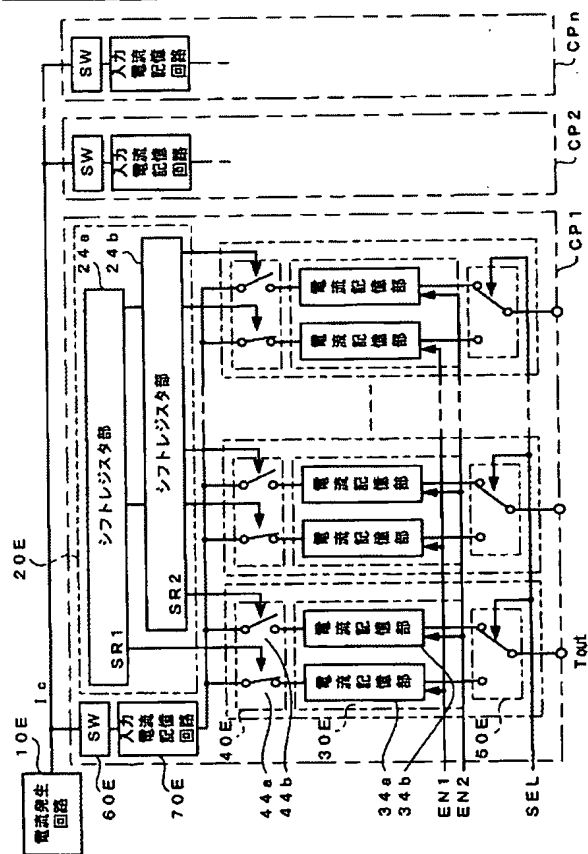
[Drawing 7]



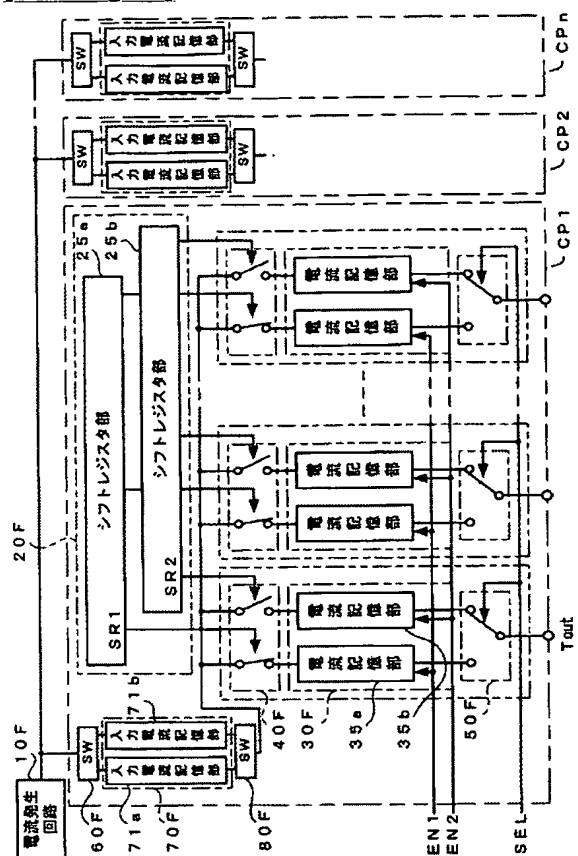
[Drawing 8]



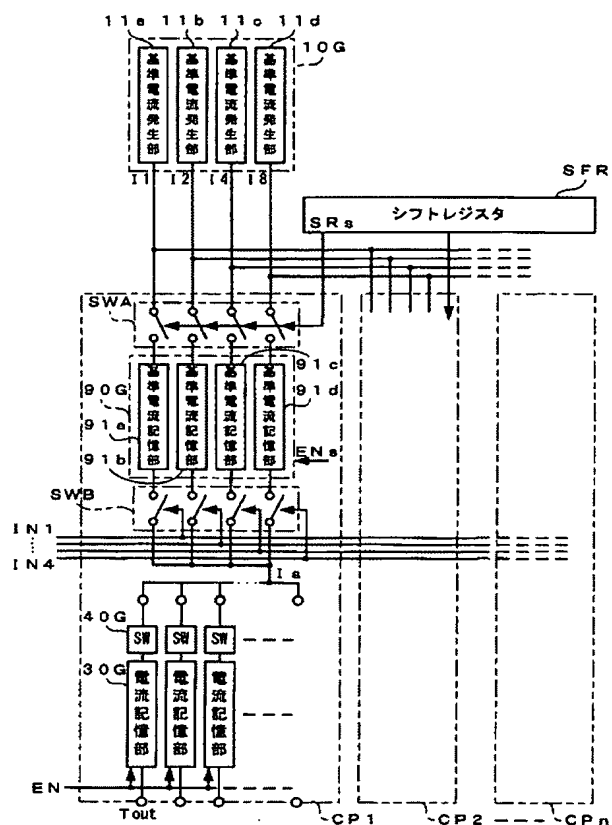
[Drawing 9]



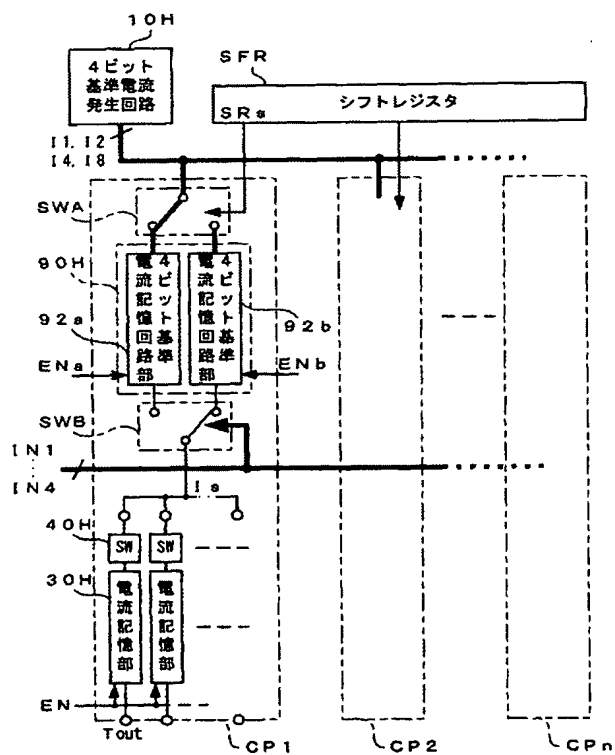
[Drawing 10]



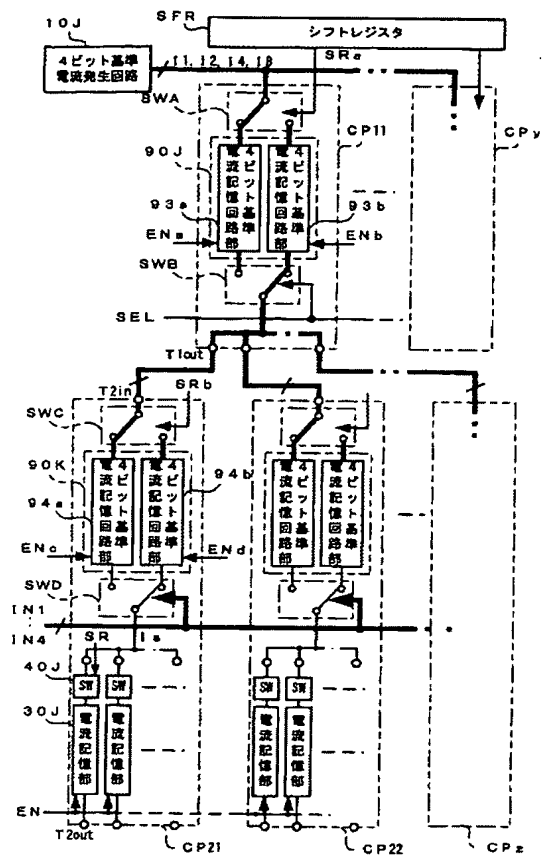
[Drawing 11]



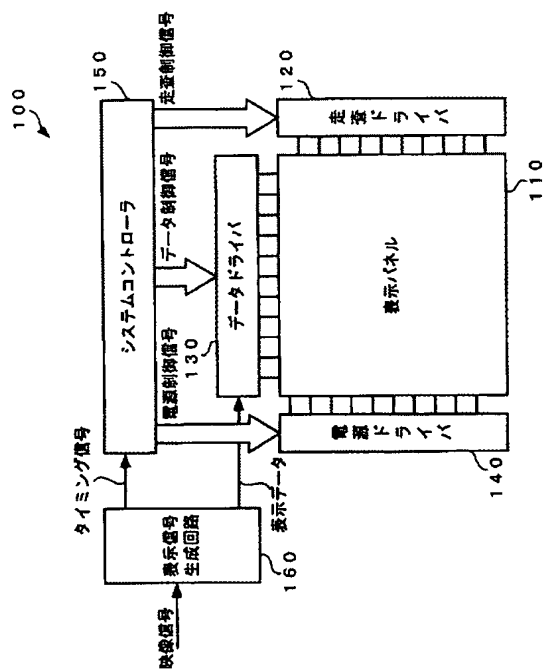
[Drawing 12]



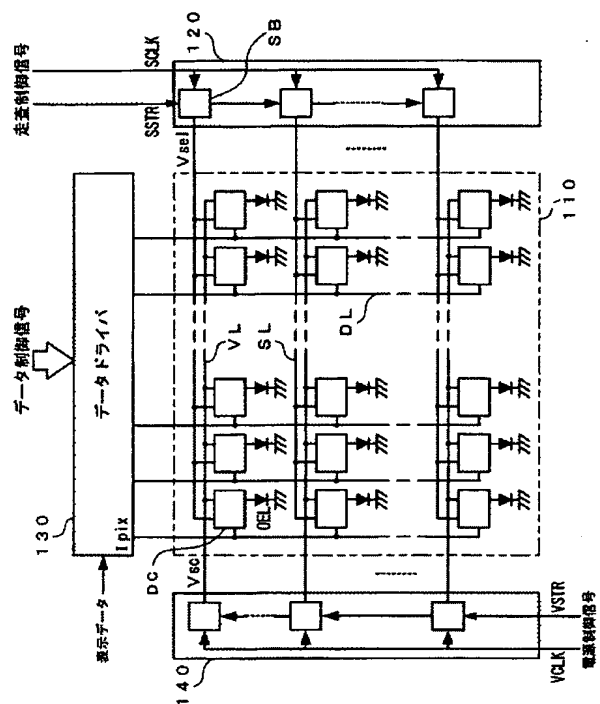
[Drawing 13]



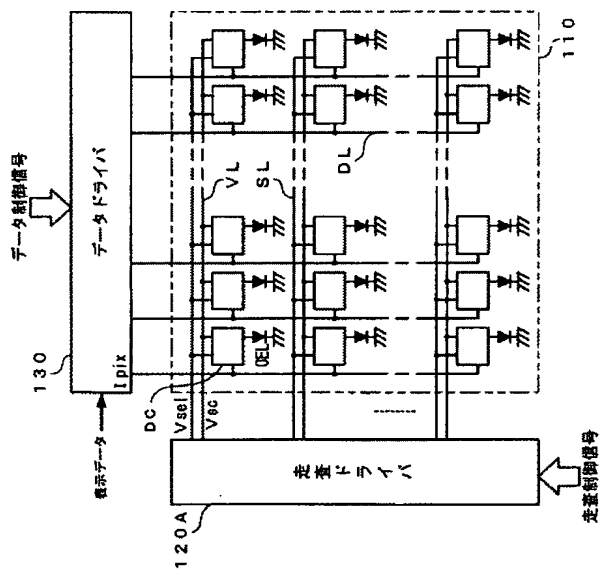
[Drawing 14]



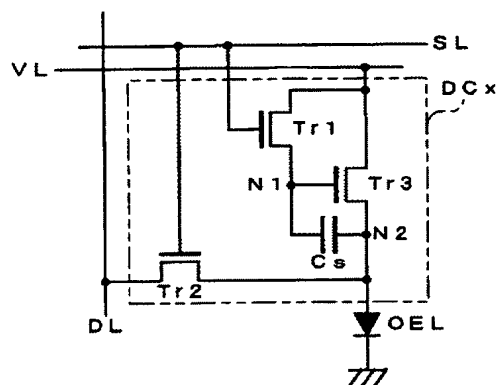
[Drawing 15]



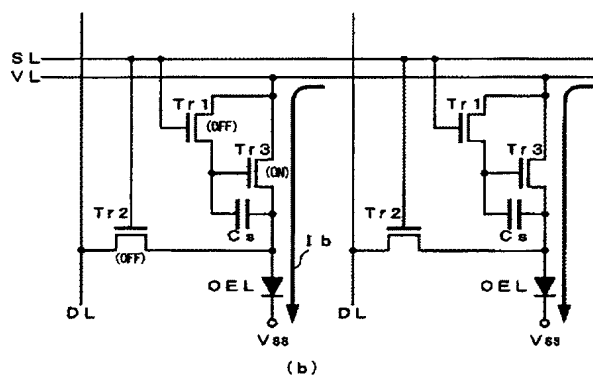
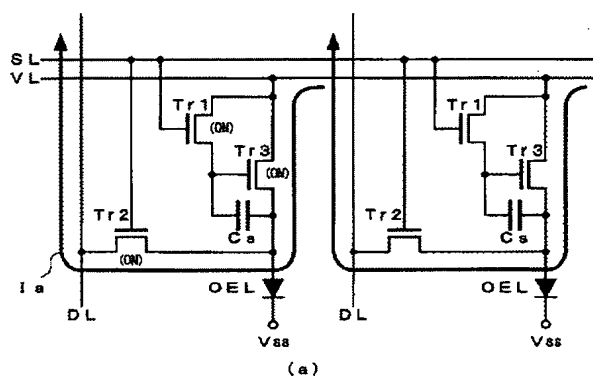
[Drawing 16]



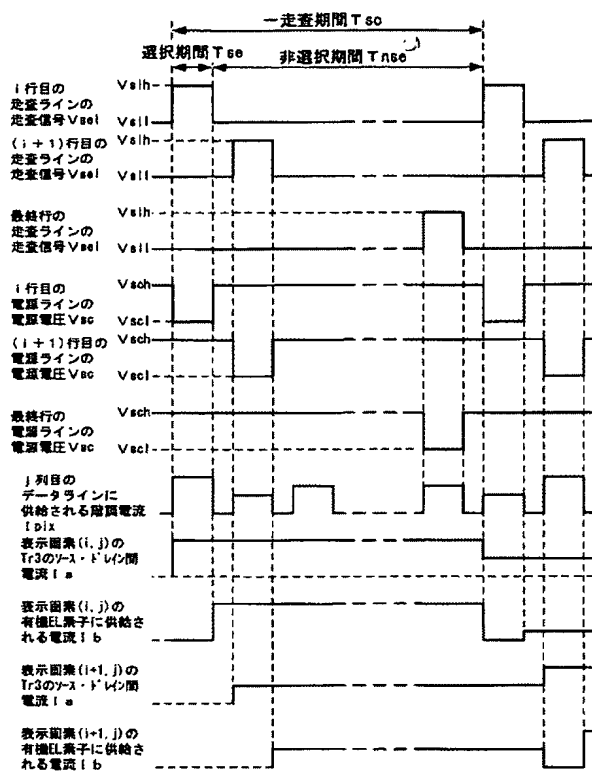
[Drawing 17]



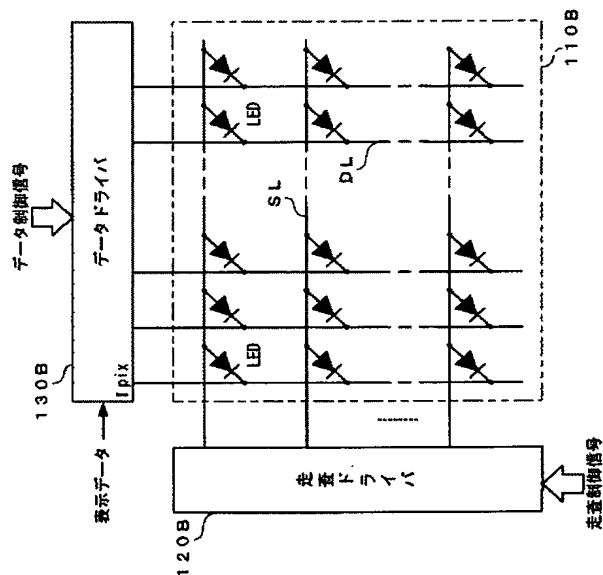
[Drawing 18]



[Drawing 19]



[Drawing 20]



[Translation done.]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-29528

(P2004-29528A)

(43) 公開日 平成16年1月29日(2004.1.29)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/30	G09G 3/30 J	3K007
G09G 3/20	G09G 3/20 611H	5C080
H05B 33/14	G09G 3/20 612F	
	G09G 3/20 623B	
	G09G 3/20 623R	
審査請求 有 請求項の数 30 O L (全 47 頁) 最終頁に続く		

(21) 出願番号 特願2002-187803 (P2002-187803)
 (22) 出願日 平成14年6月27日 (2002. 6. 27)

(71) 出願人 000001443
 カシオ計算機株式会社
 東京都渋谷区本町1丁目6番2号
 (71) 出願人 399111060
 服部 励治
 福岡県福岡市西区姪浜町200-1
 (74) 代理人 100096699
 弁理士 鹿嶋 英貴
 (72) 発明者 服部 励治
 福岡県福岡市西区姪浜町200-1-109
 Fターム(参考) 3K007 AB17 DB03 GA04
 5C080 AA06 BB05 DD05 EE29 FF11
 GG12 JJ02 JJ03 JJ04 JJ05

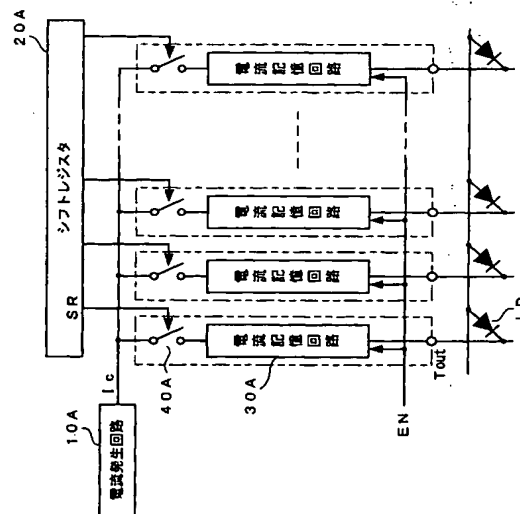
(54) 【発明の名称】 電流駆動装置及びその駆動方法並びに電流駆動装置を用いた表示装置

(57) 【要約】

【課題】 比較的簡易な回路構成により、出力端子間、及び、ドライバチップ間における出力電流のバラツキを抑制することができる電流駆動装置及びその駆動方法を提供し、該電流駆動装置をデータドライバに適用することにより表示ムラの発生を抑制することができる表示装置を提供する。

【解決手段】 電流駆動装置は、各負荷LDの駆動状態を制御するための所定の電流I_cを生成して出力する単一の電流発生回路10Aと、電流発生回路10Aから供給される電流I_cを、シフトレジスタ20Aに基づく所定のタイミングで順次取り込んで保持(記憶)する複数の電流記憶回路30Aと、シフトレジスタ20Aから出力されるスイッチ切換信号(シフト出力)SRにより、電流発生回路10Aから各電流記憶回路30Aへの電流I_cの供給状態を制御する複数のスイッチ手段40Aと、を備えて構成されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

各々に負荷が接続される出力端子を複数備え、該複数の出力端子の各々に対して、所定の電流値を有する駆動電流を出力することにより、前記複数の負荷を所定の駆動状態で動作させる電流駆動装置において、
前記負荷の駆動状態を制御するための所定の電流値を有する電流を生成して出力する唯一の電流発生手段と、
前記各出力端子ごとに設けられ、前記電流発生手段から出力される前記電流を、各々異なるタイミングで順次取り込んで保持し、前記負荷を駆動する所定のタイミングで、前記保持した前記電流に基づく前記駆動電流を、前記出力端子を介して一斉に出力する複数の電流記憶手段と、
を備えたことを特徴とする電流駆動装置。

【請求項 2】

前記電流発生手段から出力される前記電流は、入力信号に基づく電流値を有するように設定されていることを特徴とする請求項 1 記載の電流駆動装置。

【請求項 3】

前記各電流記憶手段は、並列に配置された一対の電流記憶部を備え、
一方の電流記憶部に前記電流発生手段から出力される前記電流を取り込み保持する動作と、
他方の電流記憶部に保持した電流に基づく前記駆動電流を前記各出力端子に出力する動作を、同時に並行して実行するように制御されることを特徴とする請求項 1 又は 2 記載の電流駆動装置。

【請求項 4】

前記各電流記憶手段は、直列に配置された前段及び後段の電流記憶部を備え、
前記前段の電流記憶部に前記電流発生手段から出力される前記電流を取り込み保持し、前記保持した電流を次段に転送する動作と、前記後段の電流記憶部に保持された前記前段の電流記憶部から転送された前記電流に基づく前記駆動電流を前記各出力端子に出力する動作を、同時に並行して実行するように制御されることを特徴とする請求項 1 又は 2 記載の電流駆動装置。

【請求項 5】

前記電流発生手段は、
前記複数の負荷の各々の駆動状態を制御するための所定数のデジタル入力信号に基づいて、第 1 の電流値を有する制御電流を生成する制御電流生成部と、
前記制御電流に対して所定の電流比率となる第 2 の電流値を有する出力電流を生成して、前記電流記憶手段に出力する出力電流生成部と、
を備え、
前記第 1 の電流値は、前記第 2 の電流値よりも大きく設定されていることを特徴とする請求項 1 乃至 4 いずれかに記載の電流駆動装置。

【請求項 6】

前記駆動電流は、各出力端子に対して所定の同一の電流値を有するように設定されていることを特徴とする請求項 1 記載の電流駆動装置。

【請求項 7】

前記電流駆動装置は、前記複数の電流記憶手段の前段に単一の入力電流記憶手段を備え、
前記入力電流記憶手段は、前記電流発生手段から出力される前記電流を前記入力電流記憶手段に取り込んで保持し、前記入力電流記憶手段に保持した電流を任意のタイミングで前記複数の電流記憶手段に供給することを特徴とする請求項 6 記載の電流駆動装置。

【請求項 8】

前記入力電流記憶手段は、並列に配置された一対の入力電流記憶部を備え、
一方の入力電流記憶部に前記電流発生手段から出力される前記電流を取り込み保持する動作と、
他方の入力電流記憶部に保持した電流を前記複数の電流記憶手段に供給する動作を、同時に並行して実行するように制御されることを特徴とする請求項 7 記載の電流駆動装

置。

【請求項 9】

前記電流駆動装置は、更に、前記複数の出力端子に接続され、前記出力端子から前記負荷に供給される前記駆動電流のパルス幅を設定するパルス幅設定手段を備え、
前記パルス幅設定手段は、入力信号に応じて前記出力端子毎に前記パルス幅を設定することを特徴とする請求項 7 記載の電流駆動装置。

【請求項 10】

少なくとも、前記複数の電流記憶手段及び前記出力端子は、少なくとも一つの半導体チップに形成されていることを特徴とする請求項 1 乃至 9 のいずれかに記載の電流駆動装置。

【請求項 11】

前記電流発生手段は、前記半導体チップとは別個の半導体チップに形成されていることを特徴とする請求項 10 記載の電流駆動装置。

【請求項 12】

前記電流発生手段は、前記半導体チップに形成されていることを特徴とする請求項 10 記載の電流駆動装置。

【請求項 13】

前記半導体チップにおいて、少なくとも前記電流記憶手段は、前記電流をソースドレイン間に流下し、該電流に基づくソースゲート間電圧をソースゲート間の寄生容量に保持する電界効果型トランジスタを有して構成され、
前記電界効果型トランジスタの移動度は、少なくとも $200 \text{ cm}^2 / \text{Vs}$ の値を有することを特徴とする請求項 10 記載の電流駆動装置。

【請求項 14】

各々に負荷が接続される出力端子を複数備え、該複数の出力端子の各々に対して、所定の電流値を有する駆動電流を出力することにより、前記複数の負荷を所定の駆動状態で動作させる電流駆動装置において、
相互に並列に配置され、かつ、各々異なる重み付けを有するように電流値が設定された基準電流を生成して出力する複数の基準電流発生部を備える唯一の基準電流発生手段と、
前記基準電流発生手段における前記複数の基準電流発生部から出力される前記基準電流を個別に取り込んで保持する複数の基準電流記憶部を備える基準電流記憶手段と、
前記複数の基準電流記憶部のうち、任意の前記基準電流記憶部を選択して所定の電流値を有する電流を生成する電流生成手段と、
前記電流生成手段により生成される前記電流を各々異なるタイミングで順次取り込んで保持し、前記負荷を駆動する所定のタイミングで前記保持した前記電流に基づく前記駆動電流を、前記各出力端子に一斉に出力する複数の電流記憶手段と、
を具備することを特徴とする電流駆動装置。

【請求項 15】

前記電流生成手段は、所定数のデジタル入力信号に基づいて、前記基準電流記憶手段における前記複数の基準電流記憶部のうち、任意の基準電流記憶部を選択し、該選択された前記基準電流記憶部に保持された前記基準電流を合成して前記電流を生成することを特徴とする請求項 14 記載の電流駆動装置。

【請求項 16】

前記基準電流記憶手段は、並列に配置され、夫々前記複数の基準電流記憶部を備える一対の基準電流記憶回路部を備え、
一方の基準電流記憶回路部に前記複数の基準電流発生部から出力される前記基準電流を取り込み保持する動作と、他方の基準電流記憶回路部に保持した基準電流に基づいて、前記電流生成手段により前記電流を生成する動作を、同時に並行して実行するように制御されることを特徴とする請求項 14 又は 15 記載の電流駆動装置。

【請求項 17】

少なくとも、前記複数の基準電流記憶手段、前記電流生成手段、前記複数の電流記憶手段及び前記出力端子は、少なくとも一つの半導体チップに形成されていることを特徴とする

10

20

30

40

50

請求項 14 乃至 16 のいずれかに記載の電流駆動装置。

【請求項 18】

前記基準電流発生手段は、前記半導体チップとは別個の半導体チップに形成されていることを特徴とする請求項 17 記載の電流駆動装置。

【請求項 19】

前記基準電流発生手段は、前記半導体チップに形成されていることを特徴とする請求項 17 記載の電流駆動装置。

【請求項 20】

前記半導体チップにおいて、少なくとも前記電流記憶手段は、前記電流をソースドレイン間に流下し、該電流に基づくソースゲート間電圧をソースゲート間の寄生容量に保持する電界効果型トランジスタを有して構成され、
前記電界効果型トランジスタの移動度は、少なくとも $200 \text{ cm}^2 / \text{Vs}$ の値を有することを特徴とする請求項 17 記載の電流駆動装置。 10

【請求項 21】

各々に負荷が接続される出力端子を複数備え、該複数の出力端子の各々に対して、所定の電流値を有する駆動電流を出力することにより、前記複数の負荷を所定の駆動状態で動作させる電流駆動装置の駆動方法において、
唯一の電流発生手段により、前記負荷の駆動状態を制御するための所定の電流値を有する電流を生成して供給し、
前記各出力端子ごとに個別に設けられた複数の電流記憶手段に、前記電流を各々異なるタイミングで順次取り込んで保持し、
前記負荷を駆動する所定のタイミングで、前記各電流記憶手段に保持した前記電流に基づく前記駆動電流を、前記各出力端子に一齐に出力することを特徴とする電流駆動装置の駆動方法。 20

【請求項 22】

前記各電流記憶手段は、並列に配置された一対の電流記憶部を備え、
一方の電流記憶部に前記電流発生手段から出力される前記電流を取り込み保持する動作と、他方の電流記憶部に保持した電流に基づく前記駆動電流を前記各出力端子に出力する動作を、同時並行的に実行することを特徴とする請求項 21 記載の電流駆動装置の駆動方法。 30

【請求項 23】

前記各電流記憶手段は、直列に配置された前段及び後段の電流記憶部を備え、
前記前段の電流記憶部に、前記電流発生手段から出力される前記電流を取り込み保持し、前記保持した電流を次段に転送する動作と、前記後段の電流記憶部に保持された前記前段の電流記憶部から転送された電流に基づく前記駆動電流を前記各出力端子に出力する動作を、同時並行的に実行することを特徴とする請求項 21 記載の電流駆動装置の駆動方法。

【請求項 24】

前記電流駆動装置の駆動方法において、前記電流発生手段から出力される前記電流を前記複数の電流記憶手段に保持する動作に先立って、前記電流を、単一の入力電流記憶手段に取り込んで保持し、
前記入力電流記憶手段に保持した前記電流を任意のタイミングで前記複数の電流記憶手段に供給することを特徴とする請求項 21 乃至 23 のいずれかに記載の電流駆動装置の駆動方法。 40

【請求項 25】

各々に負荷が接続される出力端子を複数備え、該複数の出力端子の各々に対して、所定の電流値を有する駆動電流を出力することにより、前記複数の負荷を所定の駆動状態で動作させる電流駆動装置の駆動方法において、
複数の基準電流発生部を備える唯一の基準電流発生手段により、各々異なる重み付けを有するように電流値が設定された基準電流を生成して供給し、
基準電流記憶手段を構成する複数の基準電流記憶部に、前記基準電流を個別に取り込んで 50

保持し、

所定数のデジタル入力信号に基づいて、前記複数の基準電流記憶部のうち、任意の基準電流記憶部を選択し、該選択された前記電流記憶部に保持された前記基準電流を合成して所定の電流値を有する電流を生成し、

前記各出力端子ごとに個別に設けられた複数の電流記憶手段に、前記生成された電流を各々異なるタイミングで順次取り込んで保持し、

前記負荷を駆動する所定のタイミングで、前記各電流記憶手段に保持した前記電流に基づく前記駆動電流を、前記各出力端子に一斉に出力することを特徴とする電流駆動装置の駆動方法。

【請求項 26】

前記基準電流記憶手段は、並列に配置され、夫々前記複数の基準電流記憶部を備える一対の基準電流記憶回路部を備え、

一方の基準電流記憶回路部に前記基準電流発生手段から出力される前記基準電流を取り込み保持する動作と、他方の基準電流記憶回路部に前記保持した基準電流に基づいて、前記所定の電流値を有する電流を生成して、前記複数の電流記憶手段に出力する動作を、同時並行的に実行することを特徴とする請求項 25 記載の電流駆動装置の駆動方法。

【請求項 27】

表示パネルの行方向に配設された走査線及び列方向に配設された信号線の交点近傍に配置された複数の表示画素に対して、表示信号に応じた所定の電流値を有する駆動電流を供給することにより、前記表示画素を所定の表示階調となるように駆動して、前記表示パネルに所望の画像情報を表示する表示装置において、

少なくとも、

前記表示素子の表示状態を制御するための所定の電流値を有する電流を生成して出力する唯一の電流発生手段と、前記表示素子の各々に接続される出力端子ごとに設けられた複数の電流記憶手段と、を備えた電流駆動装置を有する信号駆動回路と、

前記走査線の各々に、所定のタイミングで任意の前記走査線に接続された前記表示画素を選択して、該表示画素へ前記信号駆動回路から前記信号線を介して出力される前記駆動電流を供給して、前記表示素子を駆動するための走査信号を印加する走査駆動回路と、

を備え、

前記信号駆動回路は、少なくとも、所定数の前記電流記憶手段及び前記出力端子を備えた複数の半導体チップにより構成され、

前記複数の半導体チップは、前記唯一の電流発生手段から出力される前記電流を、各々異なるタイミングで順次前記複数の電流記憶手段に取り込んで保持し、前記表示素子を駆動する所定のタイミングで、前記保持した前記電流に基づく前記駆動電流を、前記出力端子を介して一斉に前記信号線の各々に供給することを特徴とする表示装置。

【請求項 28】

前記信号駆動回路は、前記半導体チップの出力端子が次段に位置する前記複数の半導体チップの入力端子に順次接続されるように階層化された構成を有していることを特徴とする請求項 27 記載の表示装置。

【請求項 29】

表示パネルの行方向に配設された走査線及び列方向に配設された信号線の交点近傍に配置された複数の表示画素に対して、表示信号に応じた所定の電流値を有する駆動電流を供給することにより、前記表示画素を所定の表示階調となるように駆動して、前記表示パネルに所望の画像情報を表示する表示装置において、

少なくとも、相互に並列に配置され、かつ、各々異なる重み付けを有するように電流値が設定された基準電流を生成して出力する複数の基準電流発生部からなる唯一の基準電流発生手段と、前記複数の基準電流発生部から出力される前記基準電流を個別に取り込んで保持する複数の基準電流記憶部からなる基準電流記憶手段と、前記複数の表示素子の各々に接続される出力端子ごとに設けられた複数の電流記憶手段と、からなる電流駆動装置を有する信号駆動回路と、

10

20

30

40

50

前記走査線の各々に、所定のタイミングで任意の前記走査線に接続された前記表示画素を選択して、該表示画素へ前記信号駆動回路から前記信号線を介して出力される前記駆動電流を供給して、前記表示素子を駆動するための走査信号を印加する走査駆動回路と、を備え、

前記信号駆動回路は、少なくとも、所定数の前記電流記憶手段及び前記出力端子を備えた複数の半導体チップにより構成され、

前記複数の半導体チップは、所定数のデジタル入力信号に基づいて、

前記複数の基準電流記憶部に個別に保持された前記基準電流から、前記複数の負荷の各々の駆動状態を制御するための所定の電流値を有する電流を生成して出力し、前記電流記憶手段に出力し、各々異なるタイミングで順次前記複数の電流記憶手段に取り込んで保持し、前記表示素子を駆動する所定のタイミングで、前記複数の半導体チップの全てから、前記複数の電流記憶手段に保持した前記電流に基づく前記駆動電流を、前記出力端子を介して一斉に前記信号線の各々に供給することを特徴とする表示装置。

10

【請求項 30】

前記信号駆動回路は、前記半導体チップの出力端子が次段に位置する前記複数の半導体チップの入力端子に順次接続されるように階層化された構成を有していることを特徴とする請求項 29 記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

20

本発明は、電流駆動装置及びその駆動方法並びに電流駆動装置を用いた表示装置に関し、特に、複数の負荷を、各負荷ごとに指定した電流値又は同一の電流値に設定された電流により駆動する電流駆動装置及びその駆動方法、並びに、該電流駆動装置の構成を有する表示駆動回路を用いて表示素子を所定の表示階調となるように駆動して、表示パネルに所望の画像情報を表示させる表示装置に関する。

【0002】

【従来の技術】

従来、有機エレクトロルミネッセンス素子（以下、「有機 EL 素子」と略記する）や、発光ダイオード（LED）等のような自己発光型の発光素子を、複数配列した表示パネルを備えた発光素子型のディスプレイ（表示装置）が知られている。

30

【0003】

このようなディスプレイの中には、近年普及が著しい液晶表示装置（LCD）に比較して、表示応答速度が速く、視野角依存性もなく、また、高輝度・高コントラスト化、表示画質の高精細化、低消費電力化等が可能であるとともに、液晶表示装置の場合のように、バックライトを必要としないので一層の薄型軽量化が可能であるという極めて優位的特徴を有しているものもあり、次世代のディスプレイとして盛んに研究開発が行われている。

【0004】

このようなディスプレイの一例は、概略、行方向に配設された走査ラインと列方向に配設されたデータラインの各交点近傍に発光素子を含む表示画素が配列された表示パネルと、表示データに応じた所定の駆動電流を生成して、データラインを介して各表示画素（発光素子）に供給するデータドライバと、所定のタイミングで走査信号を印加して所定の行の表示画素を選択状態にする走査ドライバと、を備え、各表示画素に供給された上記駆動電流により、各発光素子を表示データに応じた所定の輝度階調で発光動作させることにより、所望の画像情報が表示パネルに表示される。なお、発光素子型のディスプレイの具体例については、後述する発明の実施の形態において、詳しく説明する。

40

【0005】

ここで、上記ディスプレイにおける表示駆動動作においては、複数の表示画素（発光素子）に対して、表示データに応じた個別の電流値を有する駆動電流を生成し、特定の行の表示画素に同時に供給して各発光素子を所定の輝度階調で発光させる動作を、1画面分の各行について順次繰り返す電流指定型の駆動方式や、複数の表示画素（発光素子）に対して

50

、表示データに応じた個別の時間幅（信号幅）を有する一定の電流値の駆動電流を、同一の表示期間内に特定の行の表示画素に供給して各発光素子を所定の輝度階調で発光させる動作を、1画面分順次繰り返すパルス幅変調（PWM）型の駆動方式等が知られている。

【0006】

これらの表示駆動動作においては、各行ごとの複数の表示画素に、表示データに応じた所定の電流値又は一定の電流値を有する駆動電流を一斉に（同時又は同一の表示期間内に）供給する必要があるが、また、近年の薄型表示デバイスの高画質化（高精細化）や大画面化に伴う表示パネルの接続端子数の増加に対応するために、上記データドライバとして、データラインに対応した所定数の出力端子を備えたドライバチップ（半導体チップ）を複数備え、各ドライバチップにおいて上記駆動電流を個別に生成して、データラインを介して各発光素子に一斉に供給する回路構成を適用したものも知られている。

10

【0007】

【発明が解決しようとする課題】

しかしながら、上述したような複数のドライバチップを備えたデータドライバを適用したディスプレイにおいては、以下に示すような問題を有していた。

すなわち、従来の複数のドライバチップからなるデータドライバにおいては、ドライバチップごとに駆動電流を個別に生成するための回路を備え、各ドライバチップから各出力端子を介して一斉に各発光素子に駆動電流を供給する構成を有していたため、複数のドライバチップから出力される駆動電流の電流値にバラツキが生じると、各表示画素における発光状態（発光素子の輝度階調）にバラツキを生じ、表示むらが生じるという問題を有している。そこで、各ドライバチップ間及び各出力端子間において、駆動電流のバラツキを極力抑制する必要がある。

20

【0008】

ここで、半導体製造技術の分野においては、同一の半導体チップに形成されるトランジスタ素子や抵抗素子、容量素子等の機能要素の素子特性に、必ずバラツキが生じることが知られている。そして、このような素子特性のバラツキは、製造プロセスの最適化等により、ある程度抑制することができるものの、完全になくす（ゼロにする）ことは不可能であるとされており、これが、アナログ集積回路（IC）の作成を困難にしている主な原因となっている。

【0009】

また、トランジスタ素子に適用される設計上の最小寸法の微細化に伴って、チャネル内の不純物原子の存在（数）が相対的に顕在化することになり、その数のバラツキによりしきい値や移動度等にバラツキが生じることにも報告されている。したがって、上述したようなドライバチップの出力端子間における駆動電流のバラツキ（半導体チップの出力特性のバラツキ）を、製造プロセスの最適化の手法のみにより格段に改善することは、極めて困難であるという問題を有している。

30

【0010】

さらに、1個の半導体チップに設置可能な出力端子数には、配線長の増加による信号遅延増加や1チップ内の素子数の増加による製造上の歩留まり低下の問題により、限界があるため、上述したように、必然的に複数のドライバチップによりデータドライバを構成する必要があるが生じるが、半導体チップが異なると、上記駆動電流のバラツキは一層大きくなり、同一のドライバチップ内における駆動電流のバラツキを抑制しつつ、ドライバチップ間でのバラツキをも抑制することは非常な困難を伴うという問題を有している。

40

【0011】

なお、ドライバチップにおける駆動電流のバラツキを補正する技術としては、各ドライバチップの出力端子ごとに電流設定抵抗を付設し、該電流設定抵抗の抵抗値を個別に調整する手法が知られているが、同一のドライバチップに設けられる出力端子数が多くなった場合には、各電流設定抵抗の調整が繁雑になり、調整に多大の時間、コストがかかる上、回路構成上の抵抗設置面積も増大するため、各出力端子間の駆動電流のバラツキを抑制する手法としては適さないという問題を有している。

50

【0012】

したがって、同一のドライバチップの出力端子間における駆動電流のバラツキを抑制しつつ、ドライバチップ間でのバラツキをも抑制するためには、各出力端子間及び各ドライバチップ間に、複雑かつ大規模な回路構成を付加しなければならない、ドライバチップを備えるデータドライバ、さらには、ディスプレイの装置規模までも大型化するとともに、製品コストの上昇を招くという問題を有している。

【0013】

加えて、上述したように、近年のディスプレイにおいては、表示画質の高精細化に伴って、階調表示の一層の鮮明化が求められているが、現在開発されている発光素子型のディスプレイにおいては、表示データとなるデジタル入力信号から、デジタルーアナログ変換によりアナログ信号成分を有する駆動電流を生成する際に、十分な階調表示を実現することができる程度のアナログ出力信号を生成する技術の確立にまで未だ至っていないという問題も有している。

【0014】

そこで、本発明は、上述した種々の問題点に鑑み、複数の負荷を、各負荷ごとに指定した電流値又は同一の電流値に設定された電流により駆動する装置構成において、比較的簡易な回路構成により、同一のドライバチップの出力端子間における電流のバラツキを抑制し、且つ、ドライバチップ間でのバラツキをも抑制することができる電流駆動装置及びその駆動方法を提供し、該電流駆動装置をデータドライバに適用することにより表示ムラの抑制された良好な表示特性を有する表示装置を提供することを第1の目的とする。

また、所定のデジタル信号から良好な多階調表示に対応したアナログ信号に変換することができるデジタルーアナログ変換機能を備えた電流駆動装置及びその駆動方法を提供し、表示画質の一層の鮮明化を図ることができる表示装置を提供することを第2の目的とする。

【0015】

【課題を解決するための手段】

請求項1記載の電流駆動装置は、各々に負荷が接続される出力端子を複数備え、該複数の出力端子の各々に対して、所定の電流値を有する駆動電流を出力することにより、前記複数の負荷を所定の駆動状態で動作させる電流駆動装置において、前記負荷の駆動状態を制御するための所定の電流値を有する電流を生成して出力する唯一の電流発生手段と、前記各出力端子ごとに設けられ、前記電流発生手段から出力される前記電流を、各々異なるタイミングで順次取り込んで保持し、前記負荷を駆動する所定のタイミングで、前記保持した前記電流に基づく前記駆動電流を、前記出力端子を介して一斉に出力する複数の電流記憶手段と、を備えたことを特徴としている。

【0016】

請求項2記載の電流駆動装置は、請求項1記載の電流駆動装置において、前記電流発生手段から出力される前記電流は、入力信号に基づく電流値を有するように設定されていることを特徴としている。

請求項3記載の電流駆動装置は、請求項1又は2記載の電流駆動装置において、前記各電流記憶手段は、並列に配置された一対の電流記憶部を備え、一方の電流記憶部に前記電流発生手段から出力される前記電流を取り込み保持する動作と、他方の電流記憶部に保持した電流に基づく前記駆動電流を前記各出力端子に出力する動作を、同時に並行して実行するように制御されることを特徴としている。

【0017】

請求項4記載の電流駆動装置は、請求項1又は2記載の電流駆動装置において、前記各電流記憶手段は、直列に配置された前段及び後段の電流記憶部を備え、前記前段の電流記憶部に前記電流発生手段から出力される前記電流を取り込み保持し、前記保持した電流を次段に転送する動作と、前記後段の電流記憶部に保持された前記前段の電流記憶部から転送された前記電流に基づく前記駆動電流を前記各出力端子に出力する動作を、同時に並行して実行するように制御されることを特徴とする請求項1又は2記載の電流駆動装置。

【0018】

請求項5記載の電流駆動装置は、請求項1乃至4いずれかに記載の電流駆動装置において、前記電流発生手段は、前記複数の負荷の各々の駆動状態を制御するための所定数のデジタル入力信号に基づいて、第1の電流値を有する制御電流を生成する制御電流生成部と、前記制御電流に対して所定の電流比率となる第2の電流値を有する出力電流を生成して、前記電流記憶手段に出力する出力電流生成部と、を備え、前記第1の電流値は、前記第2の電流値よりも大きく設定されていることを特徴としている。

【0019】

請求項6記載の電流駆動装置は、請求項1記載の電流駆動装置において、前記駆動電流は、各出力端子に対して所定の同一の電流値を有するように設定されていることを特徴とし

10

ている。
請求項7記載の電流駆動装置は、請求項6記載の電流駆動装置において、前記電流駆動装置は、前記複数の電流記憶手段の前段に単一の入力電流記憶手段を備え、前記入力電流記憶手段は、前記電流発生手段から出力される前記電流を前記入力電流記憶手段に取り込んで保持し、前記入力電流記憶手段に保持した電流を任意のタイミングで前記複数の電流記憶手段に供給することを特徴としている。

【0020】

請求項8記載の電流駆動装置は、請求項7記載の電流駆動装置において、前記入力電流記憶手段は、並列に配置された一対の入力電流記憶部を備え、一方の入力電流記憶部に前記電流発生手段から出力される前記電流を取り込み保持する動作と、他方の入力電流記憶部に保持した電流を前記複数の電流記憶手段に供給する動作を、同時に並行して実行するように制御されることを特徴としている。

20

請求項9記載の電流駆動装置は、請求項7記載の電流駆動装置において、前記電流駆動装置は、更に、前記複数の出力端子に接続され、前記出力端子から前記負荷に供給される前記駆動電流のパルス幅を設定するパルス幅設定手段を備え、前記パルス幅設定手段は、入力信号に応じて前記出力端子毎に前記パルス幅を設定することを特徴としている。

請求項10記載の電流駆動装置は、請求項1乃至9のいずれかに記載の電流駆動装置において、少なくとも、前記複数の電流記憶手段及び前記出力端子は、少なくとも一つの半導体チップに形成されていることを特徴としている。

【0021】

30

請求項11記載の電流駆動装置は、請求項10記載の電流駆動装置において、前記電流発生手段は、前記半導体チップとは別個の半導体チップに形成されていることを特徴としている。

請求項12記載の電流駆動装置は、請求項10記載の電流駆動装置において、前記電流発生手段は、前記半導体チップに形成されていることを特徴としている。

請求項13記載の電流駆動装置は、請求項10記載の電流駆動装置において、前記半導体チップにおいて、少なくとも前記電流記憶手段は、前記電流をソースドレイン間に流下し、該電流に基づくソースゲート間電圧をソースゲート間の寄生容量に保持する電界効果型トランジスタを有して構成され、前記電界効果型トランジスタの移動度は、少なくとも $200 \text{ cm}^2 / \text{Vs}$ の値を有することを特徴としている。

40

【0022】

請求項14記載の電流駆動装置は、各々に負荷が接続される出力端子を複数備え、該複数の出力端子の各々に対して、所定の電流値を有する駆動電流を出力することにより、前記複数の負荷を所定の駆動状態で動作させる電流駆動装置において、相互に並列に配置され、かつ、各々異なる重み付けを有するように電流値が設定された基準電流を生成して出力する複数の基準電流発生部を備える唯一の基準電流発生手段と、前記基準電流発生手段における前記複数の基準電流発生部から出力される前記基準電流を個別に取り込んで保持する複数の基準電流記憶部を備える基準電流記憶手段と、前記複数の基準電流記憶部のうち、任意の前記基準電流記憶部を選択して所定の電流値を有する電流を生成する電流生成手段と、前記電流生成手段により生成される前記電流を各々異なるタイミングで順次取り込

50

んで保持し、前記負荷を駆動する所定のタイミングで前記保持した前記電流に基づく前記駆動電流を、前記各出力端子に一斉に出力する複数の電流記憶手段と、を具備することを特徴としている。

【0023】

請求項15記載の電流駆動装置は、請求項14記載の電流駆動装置において、前記電流生成手段は、所定数のデジタル入力信号に基づいて、前記基準電流記憶手段における前記複数の基準電流記憶部のうち、任意の基準電流記憶部を選択し、該選択された前記基準電流記憶部に保持された前記基準電流を合成して前記電流を生成することを特徴としている。請求項16記載の電流駆動装置は、請求項14又は15記載の電流駆動装置において、前記基準電流記憶手段は、並列に配置され、夫々前記複数の基準電流記憶部を備える一対の基準電流記憶回路部を備え、一方の基準電流記憶回路部に前記複数の基準電流発生部から出力される前記基準電流を取り込み保持する動作と、他方の基準電流記憶回路部に保持した基準電流に基づいて、前記電流生成手段により前記電流を生成する動作を、同時に並行して実行するように制御されることを特徴としている。

10

【0024】

請求項17記載の電流駆動装置は、請求項14乃至16のいずれかに記載の電流駆動装置において、少なくとも、前記複数の基準電流記憶手段、前記電流生成手段、前記複数の電流記憶手段及び前記出力端子は、少なくとも一つの半導体チップに形成されていることを特徴としている。

請求項18記載の電流駆動装置は、請求項17記載の電流駆動装置において、前記電流発生手段は、前記半導体チップとは別個の半導体チップに形成されていることを特徴としている。

20

【0025】

請求項19記載の電流駆動装置は、請求項17記載の電流駆動装置において、前記電流発生手段は、前記半導体チップに形成されていることを特徴としている。

請求項20記載の電流駆動装置は、請求項17記載の電流駆動装置において、前記半導体チップにおいて、少なくとも前記電流記憶手段は、前記電流をソースドレイン間に流下し、該電流に基づくソースゲート間電圧をソースゲート間の寄生容量に保持する電界効果型トランジスタを有して構成され、前記電界効果型トランジスタの移動度は、少なくとも $200 \text{ cm}^2 / \text{Vs}$ の値を有することを特徴としている。

30

【0026】

請求項21記載の電流駆動装置の駆動方法は、各々に負荷が接続される出力端子を複数備え、該複数の出力端子の各々に対して、所定の電流値を有する駆動電流を出力することにより、前記複数の負荷を所定の駆動状態で動作させる電流駆動装置の駆動方法において、唯一の電流発生手段により、前記負荷の駆動状態を制御するための所定の電流値を有する電流を生成して供給し、前記各出力端子ごとに個別に設けられた複数の電流記憶手段に、前記電流を各々異なるタイミングで順次取り込んで保持し、前記負荷を駆動する所定のタイミングで、前記各電流記憶手段に保持した前記電流に基づく前記駆動電流を、前記各出力端子に一斉に出力することを特徴としている。

【0027】

40

請求項22記載の電流駆動装置の駆動方法は、請求項21記載の電流駆動装置の駆動方法において、前記電流記憶手段は、並列に配置された一対の電流記憶部を備え、一方の電流記憶部に前記電流発生手段から出力される前記電流を取り込み保持する動作と、他方の電流記憶部に保持した電流に基づく前記駆動電流を前記各出力端子に出力する動作を、同時並行的に実行することを特徴としている。請求項23記載の電流駆動装置の駆動方法は、請求項21記載の電流駆動装置の駆動方法において、前記電流記憶手段は、直列に配置された前段及び後段の電流記憶部を備え、前記前段の電流記憶部に、前記電流発生手段から出力される前記電流を取り込み保持し、前記保持した電流を次段に転送する動作と、前記後段の電流記憶部に保持された前記前段の電流記憶部から転送された電流に基づく前記駆動電流を前記各出力端子に出力する動作を、同時並行的に実行することを特徴としている。

50

【0028】

請求項24記載の電流駆動装置の駆動方法は、請求項21乃至23のいずれかに記載の電流駆動装置の駆動方法において、前記電流駆動装置の駆動方法において、前記電流発生手段から出力される前記電流を前記複数の電流記憶手段に保持する動作に先立って、前記電流を、単一の入力電流記憶手段に取り込んで保持し、前記入力電流記憶手段に保持した前記電流を任意のタイミングで前記複数の電流記憶手段に供給することを特徴としている。

【0029】

請求項25記載の電流駆動装置の駆動方法は、各々に負荷が接続される出力端子を複数備え、該複数の出力端子の各々に対して、所定の電流値を有する駆動電流を出力することにより、前記複数の負荷を所定の駆動状態で動作させる電流駆動装置の駆動方法において、複数の基準電流発生部を備える唯一の基準電流発生手段により、各々異なる重み付けを有するように電流値が設定された基準電流を生成して供給し、基準電流記憶手段を構成する複数の基準電流記憶部に、前記基準電流を個別に取り込んで保持し、所定数のデジタル入力信号に基づいて、前記複数の基準電流記憶部のうち、任意の基準電流記憶部を選択し、該選択された前記電流記憶部に保持された前記基準電流を合成して所定の電流値を有する電流を生成し、前記各出力端子ごとに個別に設けられた複数の電流記憶手段に、前記生成された電流を各々異なるタイミングで順次取り込んで保持し、前記負荷を駆動する所定のタイミングで、前記各電流記憶手段に保持した前記電流に基づく前記駆動電流を、前記各出力端子に一斉に出力することを特徴としている。

【0030】

請求項26記載の電流駆動装置の駆動方法は、請求項25記載の電流駆動装置の駆動方法において、前記基準電流記憶手段は、並列に配置され、夫々前記複数の基準電流記憶部を備える一対の基準電流記憶回路部を備え、一方の基準電流記憶回路部に前記基準電流発生手段から出力される前記基準電流を取り込み保持する動作と、他方の基準電流記憶回路部に前記保持した基準電流に基づいて、前記所定の電流値を有する電流を生成して、前記複数の電流記憶手段に出力する動作を、同時並行的に実行することを特徴としている。

【0031】

請求項27記載の表示装置は、表示パネルの行方向に配設された走査線及び列方向に配設された信号線の交点近傍に配置された複数の表示画素に対して、表示信号に応じた所定の電流値を有する駆動電流を供給することにより、前記表示画素を所定の表示階調となるように駆動して、前記表示パネルに所望の画像情報を表示する表示装置において、少なくとも、前記表示素子の表示状態を制御するための所定の電流値を有する電流を生成して出力する唯一の電流発生手段と、前記表示素子の各々に接続される出力端子ごとに設けられた複数の電流記憶手段と、を備えた電流駆動装置を有する信号駆動回路と、前記走査線の各々に、所定のタイミングで任意の前記走査線に接続された前記表示画素を選択して、該表示画素へ前記信号駆動回路から前記信号線を介して出力される前記駆動電流を供給して、前記表示素子を駆動するための走査信号を印加する走査駆動回路と、を備え、前記信号駆動回路は、少なくとも、所定数の前記電流記憶手段及び前記出力端子を備えた複数の半導体チップにより構成され、前記複数の半導体チップは、前記唯一の電流発生手段から出力される前記電流を、各々異なるタイミングで順次前記複数の電流記憶手段に取り込んで保持し、前記表示素子を駆動する所定のタイミングで、前記保持した前記電流に基づく前記駆動電流を、前記出力端子を介して一斉に前記信号線の各々に供給することを特徴としている。

請求項28記載の表示装置は、請求項27記載の表示装置において、前記信号駆動回路は、前記半導体チップの出力端子が次段に位置する前記複数の半導体チップの入力端子に順次接続されるように階層化された構成を有していることを特徴としている。

【0032】

請求項29記載の表示装置は、表示パネルの行方向に配設された走査線及び列方向に配設された信号線の交点近傍に配置された複数の表示画素に対して、表示信号に応じた所定の

電流値を有する駆動電流を供給することにより、前記表示画素を所定の表示階調となるように駆動して、前記表示パネルに所望の画像情報を表示する表示装置において、少なくとも、相互に並列に配置され、かつ、各々異なる重み付けを有するように電流値が設定された基準電流を生成して出力する複数の基準電流発生部からなる唯一の基準電流発生手段と、前記複数の基準電流発生部から出力される前記基準電流を個別に取り込んで保持する複数の基準電流記憶部からなる基準電流記憶手段と、前記複数の表示素子の各々に接続される出力端子ごとに設けられた複数の電流記憶手段と、からなる電流駆動装置を有する信号駆動回路と、前記走査線の各々に、所定のタイミングで任意の前記走査線に接続された前記表示画素を選択して、該表示画素へ前記信号駆動回路から前記信号線を介して出力される前記駆動電流を供給して、前記表示素子を駆動するための走査信号を印加する走査駆動回路と、を備え、前記信号駆動回路は、少なくとも、所定数の前記電流記憶手段及び前記出力端子を備えた複数の半導体チップにより構成され、前記複数の半導体チップは、所定数のデジタル入力信号に基づいて、前記複数の基準電流記憶部に個別に保持された前記基準電流から、前記複数の負荷の各々の駆動状態を制御するための所定の電流値を有する電流を生成して出力し、前記電流記憶手段に出力し、各々異なるタイミングで順次前記複数の電流記憶手段に取り込んで保持し、前記表示素子を駆動する所定のタイミングで、前記複数の半導体チップの全てから、前記複数の電流記憶手段に保持した前記電流に基づく前記駆動電流を、前記出力端子を介して一斉に前記信号線の各々に供給することを特徴としている。

10

請求項 30 記載の表示装置は、請求項 29 記載の表示装置において、前記信号駆動回路は、前記半導体チップの出力端子が次段に位置する前記複数の半導体チップの入力端子に順次接続されるように階層化された構成を有していることを特徴としている。

20

【0033】

すなわち、第 1 の発明に係る電流駆動装置及びその駆動方法は、複数配列された表示素子等の負荷の各々に対して、指定した所定の電流値又は同一の電流値を有する駆動電流を供給することにより、各負荷を所定の輝度階調等の駆動状態で動作させる電流駆動装置において、唯一の電流発生手段（電流発生回路）により、上記負荷の駆動状態を制御するための所定の電流値を有する電流を生成して、負荷の各々に接続される出力端子ごとに個別に設けられた複数の電流記憶手段（電流記憶回路）に、順次取り込んで保持し、負荷を駆動する所定のタイミングで保持された電流を駆動電流として、もしくは、保持された電流に基づいて生成される駆動電流を、出力端子を介して複数の負荷に一斉に供給するように構成されている。

30

【0034】

これにより、唯一の電流発生手段により生成、出力された電流が、例えば、複数の半導体チップに個別に形成された複数の電流記憶手段に共通に供給されて、所定のタイミングで取り込まれるので、各半導体チップの電流記憶手段には、単一の電流源（電流発生手段）から供給される均一な電流特性を有する電流が保持される。したがって、比較的簡易な装置構成により、各半導体チップ間、及び、同一の半導体チップに設けられる出力端子間における駆動電流のバラツキ（出力特性のバラツキ）を小さく抑制することができる。

【0035】

ここで、上記各電流記憶手段は、並列に配置された一対の電流記憶部を備え、一方の電流記憶部に電流発生手段から出力される電流を取り込み保持する動作と、他方の電流記憶部に保持された電流を各出力端子に出力する動作を、同時並行的に実行するように制御するものであってもよいし、各電流記憶手段として、直列に配置された前段及び後段の電流記憶部を備え、前段の電流記憶部に電流を取り込み保持する動作と、後段の電流記憶部に転送された電流を各出力端子に出力する動作を、同時並行的に実行するように制御するものであってもよい。

40

【0036】

このような構成によれば、例えば、二つの電流記憶部のうち、一方の電流記憶部に電流を取り込み、保持する動作期間中に、他方の電流記憶部から各出力端子に対して駆動電流を

50

出力することができるので、各電流記憶部への電流の取り込み、保持動作サイクルと、及び、出力端子への駆動電流の出力動作サイクルをオーバーラップさせて、負荷への駆動電流の供給時間を長くすることができて、駆動状態を細かく制御することができる。

【0037】

また、上記電流駆動装置は、例えば、半導体チップごとに設けられた複数の電流記憶手段の前段に唯一の入力電流記憶手段を備え、該入力記憶手段により、電流発生手段から出力される電流を入力電流記憶手段に取り込んで保持し、任意のタイミングで後段の複数の電流記憶手段に供給するものであってもよい。

このような構成によれば、電流発生手段から出力される電流を、半導体チップごとに設けられた入力記憶手段に取り込み、保持した後、各半導体チップの各電流記憶回路に電流を取り込む動作を同時並行的に行うことができるため、全ての電流記憶回路に電流を取り込むために要する時間を大幅に短縮することができて、負荷への駆動電流の供給時間を長くすることができて、駆動状態を細かく制御することができる。

10

【0038】

したがって、第1の発明に係る電流駆動装置を表示装置の信号駆動回路（データドライバ）に適用することにより、各ドライバチップ（半導体チップ）間、及び、同一のドライバチップに設けられる出力端子間における駆動電流のバラツキを抑制して、表示ムラの発生を抑制することができるとともに、各表示画素への書き込みサイクルを短縮して、表示画質の向上を図ることができる。

また、表示パネルの高精細化や大型化に伴って、表示パネルの接続端子数が増加し、ドライバチップ数が増加した場合であっても、単一の電流発生手段により全てのドライバチップの電流記憶手段に対して電流特性が均一な所定の電流値を有する電流を保持させることができるので、各ドライバチップ内の回路構成を簡素化して、装置規模の省スペース化や製品コストの削減を図ることができる。

20

【0039】

また、第2の発明に係る電流駆動装置及びその駆動方法は、複数配列された表示素子等の負荷の各々に対して、指定した所定の電流値を有する駆動電流を供給することにより、各負荷を所定の輝度階調等の駆動状態で動作させる電流駆動装置において、複数の基準電流発生部からなる唯一の基準電流発生手段により、各々異なる重み付けを有するように電流値が設定された基準電流を生成して、各基準電流に対応して設けられた複数の基準電流記憶部を備える基準電流記憶手段に、個別に取り込んで保持し、電流生成手段により所定数のデジタル入力信号に基づいて任意の基準電流記憶部を選択することにより、保持された基準電流を合成して所定の電流を生成し、該電流を順次取り込んで保持し、負荷を駆動する所定のタイミングで保持された電流を駆動電流として、もしくは、保持された電流に基づいて生成される駆動電流を、出力端子を介して複数の負荷に一斉に供給するように構成されている。

30

【0040】

これにより、唯一の電流発生手段により生成、出力された基準電流が、例えば、複数の半導体チップに個別に形成された基準電流記憶手段に共通に供給、保持され、任意の基準電流記憶部を選択して基準電流を合成することにより、デジタル入力信号に対応したアナログ信号からなる駆動電流が生成されて、複数の負荷に同時に供給される。したがって、比較的簡易な装置構成により、各半導体チップ間、及び、同一の半導体チップに設けられる出力端子間における駆動電流のバラツキを抑制することができるとともに、各負荷を入力信号に良好に対応した駆動状態で動作させることができる。

40

【0041】

したがって、第2の発明に係る電流駆動装置を表示装置の信号駆動回路（データドライバ）に適用することにより、各ドライバチップ（半導体チップ）間、及び、同一の半導体チップに設けられる出力端子間における駆動電流のバラツキを抑制して、表示ムラの発生を抑制することができるとともに、所定のデジタル入力信号（表示データ）から良好な多階調表示に対応したアナログ信号（駆動電流）を生成することができるので、階調表示を一

50

層鮮明化することができる表示装置を実現することができる。

【0042】

また、表示パネルの高精細化や大型化に伴って、表示パネルの接続端子数が増加し、ドライバチップ数が増加した場合であっても、単一の基準電流発生手段により全てのドライバチップの基準電流記憶手段に対して所定の重み付けを有する電流値が設定された均一な基準電流を保持させることができるので、各ドライバチップ内の回路構成を簡素化して、装置規模の省スペース化や製品コストの削減を図ることができる。

【0043】

【発明の実施の形態】

以下、本発明に係る電流駆動装置及びその駆動方法並びに該電流駆動装置を適用した表示装置について、実施の形態を示して詳しく説明する。 10

まず、本発明に係る電流駆動装置及びその駆動方法について、図面を参照して説明する。

＜電流駆動装置の第1の実施形態＞

図1は、本発明に係る電流駆動装置の第1の実施形態を示す概略構成図である。

第1の実施形態に係る電流駆動装置は、単一の電流発生回路から供給される所定の電流値を有する電流を各出力端子（すなわち、負荷）ごとに設けられた電流記憶回路に順次保持した後、一括して各出力端子を介して負荷に出力する構成を有している。

【0044】

本実施形態に係る電流駆動装置は、具体的には、図1に示すように、複数の出力端子 T_{out} に接続される各負荷 L_D の駆動状態を制御するための所定の電流値を有する電流 I_c を生成して出力する単一の電流発生回路（電流発生手段）10Aと、該電流発生回路10Aから供給される電流 I_c を、後述する電流記憶回路30Aの各々へ供給する際のタイミングを設定するシフトレジスタ20Aと、出力端子 T_{out} ごとに設けられ、電流発生回路10Aから供給される電流 I_c を、シフトレジスタ20Aに基づく所定のタイミングで順次取り込んで保持（記憶）する複数の電流記憶回路30Aと、シフトレジスタ20Aから所定のタイミングで出力されるスイッチ切換信号（シフト出力）SRにより設定されるタイミングに基づいて、電流発生回路10Aから各電流記憶回路30Aへの電流 I_c の供給状態を制御する複数のスイッチ手段40Aと、を備えて構成されている。 20

【0045】

以下、上記各構成について、具体的に説明する。 30

（電流発生回路）

図2は、本実施形態に適用可能な電流発生回路の一具体例を示す回路構成図である。

電流発生回路10Aは、概略、複数の負荷の各々を所定の駆動状態で駆動させるために必要な電流値を有する個別の電流 I_c を生成して、上記複数の負荷の各々に対応して設けられた個別の電流記憶回路30Aに出力するように構成されている。ここで、電流発生回路10Aとしては、例えば、図2に示すように、前段の制御電流生成部11と、後段のカレントミラー回路部12からなる回路構成を適用することができる。

【0046】

なお、電流発生回路10Aにより生成される電流 I_c は、各負荷の駆動状態に応じた、各々異なる電流値を有するものであってもよいし、全ての負荷に対して同一の電流値を有するものであってもよい。詳しくは後述する。 40

また、本実施形態で示す電流発生回路は、本発明に係る電流駆動装置に適用可能な一例を示すものにすぎず、この回路構成に限定されるものではない。また、本実施形態においては、電流発生回路として、制御電流生成部とカレントミラー回路部を備えた構成を示すが、これに限定されるものではなく、例えば、制御電流生成部のみからなる回路構成を有しているものであってもよい。

【0047】

制御電流生成部11は、例えば、図2に示すように、一端側が高電位電源 V_{dd} に接続された抵抗 R_{11} と、該抵抗 R_{11} の他端側にエミッタが接続され、後段のカレントミラー回路部12（又は、制御電流生成部11の出力接点 N_{11} ）にコレクタが接続された p_n 50

p型パイポーラトランジスタ（以下、「pnptランジスタ」と略記する）Q11と、該pnptランジスタQ11のベースにソースが接続され、セット信号SETが入力されるセット端子Tsetにドレインが接続され、デジタル入力信号IN1が入力される入力端子Tinにゲートが接続されたPチャネル電界効果型トランジスタ（以下、「PMOSTランジスタ」と略記する）M11と、を備えた回路構成を単位回路CT1として、該単位回路CT1がデジタル入力信号のビット数分（本実施形態においては、6ビットのデジタル入力信号IN1～IN6に対応する単位回路CT1～CT6を有する場合について示す）並列に接続される。すなわち、各単位回路CT1～CT6のpnptランジスタQ11～Q16のエミッタが出力接点N11に共通に接続され、また、各pnptランジスタQ11～Q16のベースにソースが接続され、セット端子Tsetにドレインが接続され、デジタル入力信号IN1～IN6が入力される入力端子Tinにゲートが接続されたPMOSTランジスタM11～M16を有している。

10

【0048】

ここで、入力信号IN1～IN6は、負荷の駆動状態を制御するための複数ビットからなるデジタル信号（電圧成分）であり、また、セット信号SETは、図示を省略した制御部から、上記負荷の駆動サイクル等に応じたタイミングで供給される信号電圧である。このような制御電流生成部11において、セット信号SETを所定の電圧レベルに設定するとともに、各ビットの入力信号IN1～IN6をハイレベル又はローレベルに設定することにより、入力信号IN1～IN6に応じた電流値（第1の電流値）を有する制御電流を生成して、出力接点N11を介して後段のカレントミラー回路部12に出力する。

20

【0049】

また、カレントミラー回路部（出力電流生成部）12は、例えば、図2に示すように、上記制御電流生成部11の出力接点N11にコレクタ及びベースが接続されたnpn型パイポーラトランジスタ（以下、「npnトランジスタ」と略記する）Q21と、該npnトランジスタQ21のエミッタ及び低電位電源Vss間に接続された抵抗R21と、所定の電流成分を有する出力電流（電流Ic）が出力される出力端子Tcsにコレクタが接続され、上記制御電流生成部11の出力接点N11にベースが接続されたnpnトランジスタQ22と、該npnトランジスタQ22のエミッタ及び低電位電源Vss間に接続された抵抗R22と、を備えた構成を有している。

【0050】

ここで、出力電流（電流Ic）は、上記制御電流生成部11により生成され、出力接点N11を介して入力された制御電流の電流値（第1の電流値）に対して、カレントミラー回路構成により規定される所定の電流比率に応じた電流値（第2の電流値）を有している。本実施形態においては、電流記憶回路30Aに対して負極性の出力電流を供給することにより（すなわち、電流Icの電流流下方向を出力端子Tcs側から低電位電源Vss方向に設定することにより）、電流成分が電流記憶回路30A側から電流発生回路10A方向に引き込まれるように流下する。

30

【0051】

また、本実施形態に示した電流発生回路10Aにおいては、制御電流生成部11により生成される制御電流の電流値（第1の電流値）を、カレントミラー回路部12により生成される出力電流の電流値（第2の電流値）よりも大きく設定し、カレントミラー回路部12により制御電流の電流値を所定の比率で低減して出力電流の電流値を規定することにより（すなわち、制御信号生成部11内部で取り扱う電流値を、電流Icの電流値よりも大きく設定することにより）、電流発生回路10A（制御信号生成部11）における入力信号IN1～IN6から電流Icへの変換、生成に係る処理速度を向上させることができる。

40

【0052】

さらに、図2に示した回路構成において、カレントミラー回路部12を構成するnpnトランジスタQ21、Q22のエミッタに接続され、カレントミラー回路構成における電流比率を規定する抵抗R21、R22に替えて（抵抗R21、R22をなくして）、npn

50

トランジスタ Q 2 1、Q 2 2 の面積比のみで上記電流比率を規定する回路構成を適用することにより、抵抗 R 2 1、R 2 2 に起因する回路内部における電流成分のバラツキの発生を抑制して出力電流（電流 I c）への影響を大幅に抑制することができる。

【0053】

（シフトレジスタ／スイッチ手段）

シフトレジスタ 2 0 A は、図示を省略した制御部から供給される制御信号（シフトスタート信号及びシフトクロック信号等）に基づいて、順次一方向にシフトしつつ生成されたシフト出力を、各負荷に対応して設けられたスイッチ手段 4 0 A の各々にスイッチ切換信号（スイッチオン信号）S R として順次印加する。各スイッチ手段 4 0 A は、該シフトレジスタ 2 0 A から順次出力されるスイッチ切換信号 S R に基づいて、各々異なるタイミングでオン動作し、上記電流発生回路 1 0 A からの電流 I c（出力電流）を、各負荷ごとに設けられた電流記憶回路 3 0 A に供給する書込状態に設定して、電流 I c が各電流記憶回路 3 0 A に取り込まれ、保持されるように制御する。ここで、スイッチ手段 4 0 A としては、例えば、電界効果型トランジスタを適用することができ、この場合、後述する電流記憶回路 3 0 A に適用される回路素子と同一の製造プロセスを用いて、同一の基板上に形成することができる。詳しくは、図 3 において説明する。

【0054】

（電流記憶回路）

図 3 は、本実施形態に適用可能な電流記憶回路及びスイッチ手段からなる構成の一具体例を示す回路構成図であり、図 4 は、本実施形態に適用可能な電流記憶回路における基本動作を示す概念図である。

電流記憶回路 3 0 A は、概略、電流発生回路 1 0 A から出力される電流 I c を、上記シフトレジスタ 2 0 A に基づく所定のタイミングで順次取り込み保持し、該保持された電流成分、もしくは、該電流成分に基づく負荷駆動電流（駆動電流）を、出力端子 T o u t を介して各負荷に一斉に（単一のタイミングで）出力するように構成されている。ここで、電流記憶回路 3 0 A としては、例えば、図 3 に示すように、前段の電流成分保持部 3 1（スイッチ手段 4 0 A を含む）と、後段のカレントミラー回路部 3 2 からなる回路構成を適用することができる。

【0055】

なお、本実施形態で示す電流記憶回路は、本発明に係る電流駆動装置に適用可能な一例を示すものにすぎず、この回路構成に限定されるものではない。また、本実施形態においては、電流記憶回路として、電流成分保持部とカレントミラー回路部を備えた構成を示すが、これに限定されるものではなく、例えば、電流成分保持部のみからなる回路構成を有しているものであってもよい。

【0056】

電流成分保持部 3 1 は、例えば、図 3 に示すように、接点 N 3 1 及び上記電流発生回路 1 0 A の出力端子 T c s 間にソース及びドレインが接続され、シフトレジスタのシフト出力端子 T s r にゲートが接続された P M O S トランジスタ M 3 1 と、高電位電源 V d d 及び接点 N 3 2 間にソース及びドレインが接続され、接点 N 3 1 にゲートが接続された P M O S トランジスタ M 3 2 と、接点 N 3 2 及び電流発生回路 1 0 A の出力端子 T c s 間にソース及びドレインが接続され、シフトレジスタ 2 0 A のシフト出力端子 T s r にゲートが接続された P M O S トランジスタ M 3 3 と、高電位電源 V d d 及び接点 N 3 1 間に接続された蓄積容量 C 3 1 と、接点 N 3 2 及び後段のカレントミラー回路部 3 2 への出力接点 N 3 3 間にソース及びドレインが接続され、図示を省略した制御部から供給され、後段のカレントミラー回路部 3 2 への制御電流の出力状態を制御する出力イネーブル信号 E N が入力される出力制御端子 T e n にゲートが接続された P M O S トランジスタ M 3 4 と、を備えた構成を有している。ここで、シフトレジスタ 2 0 A からのスイッチ切換信号（シフト出力）S R に基づいて、オン／オフ動作する P M O S トランジスタ M 3 1、M 3 3 は、上述したスイッチ手段 4 0 A を構成する。また、高電位電源 V d d 及び接点 N 3 1 間に設けられる蓄積容量 C 3 1 は、P M O S トランジスタ M 3 2 のゲートーソース間に形成される寄

生容量であってもよい。

【0057】

また、カレントミラー回路部32は、例えば、図3に示すように、各々、上記電流成分保持部31の出力接点N33にコレクタ及びベースが接続され、接点N34にエミッタが接続されたnpnトランジスタQ31、Q32と、接点N34及び低電位電源Vss間に接続された抵抗R31と、出力電流（負荷駆動電流I_{dv}）が出力される出力端子T_{out}にコレクタが接続され、上記電流成分保持部31の出力接点N33がベースに接続されたnpnトランジスタQ33と、該npnトランジスタQ33のエミッタ及び低電位電源Vss間に接続された抵抗R32と、を備えた構成を有している。

【0058】

ここで、出力電流（負荷駆動電流I_{dv}）は、上記電流成分保持部31から出力され、出力接点N33を介して入力された制御電流の電流値に対して、カレントミラー回路構成により規定される所定の電流比率に応じた電流値を有している。本実施形態においては、出力端子T_{out}（負荷LD）に対して負極性の出力電流を供給することにより（すなわち、負荷駆動電流I_{dv}の電流流下方向を出力端子T_{out}側から低電位電源Vss方向に設定することにより）、電流成分が負荷LD側から電流記憶回路30A方向に引き込まれるように流下する。

【0059】

また、本実施形態に示した電流記憶回路30Aにおいては、電流成分保持部31から出力される制御電流の電流値を、カレントミラー回路部32により生成される出力電流の電流値よりも大きく設定し、カレントミラー回路部32により制御電流の電流値を所定の比率で低減して出力電流の電流値を規定するようにすることにより（すなわち、電流成分保持部31内部で取り扱う電流値を、負荷駆動電流I_{dv}の電流値よりも大きく設定することにより）、電流記憶回路30A（電流成分保持部31）における電流I_cの取り込み保持（記憶）、出力に係る処理速度を向上させることができる。

【0060】

さらに、図3に示した回路構成において、カレントミラー回路部32を構成するnpnトランジスタQ31～Q33のエミッタに接続され、カレントミラー回路構成における電流比率を規定する抵抗R31、R32に替えて（抵抗R31、R32をなくして）、npnトランジスタQ31～Q33の面積比のみで上記電流比率を規定する回路構成を適用することにより、抵抗R31、R32に起因する回路内部における電流成分のバラツキの発生を抑制して出力電流（負荷駆動電流I_{dv}）への影響を大幅に抑制することができる。

【0061】

このような構成を有する電流記憶回路（スイッチ手段を含む）における基本動作は、負荷の駆動サイクルに対して、相互に時間的な重なりが生じない所定のタイミングで電流記憶動作及び電流出力動作が実行される。

（電流記憶動作）

電流記憶動作においては、まず、制御部から出力制御端子T_{en}を介して、ハイレベルの出力イネーブル信号E_Nを印加することにより、出力制御手段としてのPMOSトランジスタM34がオフ動作する。この状態で、電流発生回路10Aから負荷の駆動状態を制御するための入力信号I_{N1}～I_{N6}に応じた、負極性の電流成分を有する電流I_cを入力端子T_{cs}（電流発生回路10Aの出力端子T_{cs}）を介して供給するとともに、シフトレジスタ20Aからシフト出力端子T_{sr}を介して、所定のタイミングでローレベルのスイッチ切換信号S_Rを印加することにより、入力制御手段（スイッチ手段40A）としてのPMOSトランジスタM31、M33がオン動作する。

【0062】

これにより、接点N31（すなわち、PMOSトランジスタM32のゲート端子及び蓄積電容量C31の一端）に負極性を有する電流I_cに応じたローレベルの電圧レベルが印加されて、高電位電源V_{dd}及び接点N31間（PMOSトランジスタM32のゲートソース間）に電位差が生じることにより、PMOSトランジスタM32がオン動作し、図4（

10

20

30

40

50

a) に示すように、高電位電源からPMOSトランジスタM32、M33を介して入力端子Tcs方向に、電流Icと同等の書込電流Iwが引き込まれるように流下する。

【0063】

このとき、蓄積容量C31には、高電位電源Vdd及び接点N31間（PMOSトランジスタM32のゲートソース間）に生じた電位差に対応する電荷が蓄積され、電圧成分として保持される。ここで、蓄積容量C31に蓄積された電荷（電圧成分）は、電流記憶動作の終了により、シフトレジスタ20Aからシフト出力端子Tsrを介して、ハイレベルのスイッチ切換信号SRが印加され、PMOSトランジスタM31、M33がオフ動作して、上記書込電流Iwの引き込みが停止された後においても保持される。

【0064】

（電流出力動作）

次いで、電流記憶動作終了後の負荷の駆動動作においては、制御部から出力制御端子Tenを介して、ローレベルの出力イネーブル信号ENを印加することにより、PMOSトランジスタM34がオン動作する。このとき、蓄積容量C31に保持された電圧成分により、PMOSトランジスタM32のゲートソース間に電流記憶動作時と同等の電位差が生じているので、図4（b）に示すように、高電位電源からPMOSトランジスタM32、M34を介して出力接点N33（カレントミラー回路部32）方向に、上記書込電流Iw（＝電流Ic）と同等の電流値を有する駆動制御電流Iacが流下する。

【0065】

これにより、カレントミラー回路部32に流下した駆動制御電流Iacは、カレントミラー回路構成により規定される所定の電流比率に応じた電流値を有する負荷駆動電流Idvに変換されて、各出力端子Toutを介して負荷LDに供給される。ここで、電流記憶回路30Aから負荷LDへ供給される負荷駆動電流Idvは、電流出力動作の終了により、制御部から出力制御端子Tenを介して、ハイレベルの出力イネーブル信号ENが印加され、PMOSトランジスタM34がオフ動作することにより供給が停止される。

【0066】

（電流駆動装置の駆動方法）

以上のような構成を有する電流駆動装置において、電流書込期間においては、単一の電流発生回路10Aにより各負荷の駆動状態に応じた所定の電流値を有する電流Icが順次生成されて出力されるとともに、該電流Icの出力タイミングに同期して、シフトレジスタ20Aから順次出力されるスイッチ切換信号SRが各出力端子Toutごとに設けられたスイッチ手段40Aに順次印加される。これにより、各スイッチ手段40Aが電流Icの出力タイミングに同期した、異なるタイミングで順次オン動作して、上記電流発生回路10Aから出力された電流Icに対応する書込電流Iwが各電流記憶回路30Aに順次流下して書き込まれ、電圧成分として保持される（上記電流記憶動作）。

【0067】

次いで、電流出力期間においては、上記電流書込期間におけるシフトレジスタ20Aからのスイッチ切換信号SRの出力が終了して、全てのスイッチ手段40Aがオフ動作し、全ての電流記憶回路30Aに各負荷の駆動状態に応じた電流Icが保持された後、制御部から各電流記憶回路30Aに出力イネーブル信号ENが同一のタイミングで共通に印加される。これにより、電流記憶回路30Aに保持されていた電圧成分に応じた電流が、負荷駆動電流Idvとして出力端子Toutを介して負荷に一斉に供給される（上記電流出力動作）。

そして、このような電流書込期間及び電流出力期間を、所定の動作周期ごとに繰り返し設定することにより、負荷を所定の駆動サイクルで動作させることができる。

【0068】

したがって、本実施形態に係る電流駆動装置によれば、単一の電流発生回路に対して、複数の出力端子（すなわち、負荷）の各々に対応するように電流記憶回路を個別に設け、上記一連の動作に基づいて、電流発生回路から負荷の駆動制御に係る所定の電流値を有する電流を発生させ、この電流を所定のタイミングで各電流記憶回路に順次記憶した後、各電

10

20

30

40

50

流記憶回路から各出力端子を介して各負荷に一括して出力することにより、単一の電流源（電流発生回路）から供給される均一な電流特性を有する電流を各出力端子ごとに保持することができるので、各出力端子間におけるバラツキが抑制された負荷駆動電流を供給することができ、各負荷を均一な動作特性で駆動させることができる。

なお、本実施形態に示した電流駆動装置に適用されるバイポーラトランジスタやMOSトランジスタの素子構成については、特に限定するものではなく、素子特性や製造技術、製品コスト等に応じて適宜設計変更されるものであってもよいことはいうまでもない。

【0069】

具体的には、例えば、後述するような表示パネル（図15参照）を構成する表示画素ごとに設けられた発光素子（負荷）に対して、個別の電流記憶回路から均一な電流特性を有し、かつ、各表示データに応じた発光駆動電流（負荷駆動電流）を所定のタイミングで一斉に供給する動作を、各行ごとに順次繰り返すことにより、表示パネル1画面分の表示データを各表示画素に書き込んで所定の輝度階調で発光動作させることができるので、所望の画像情報を表示ムラの発生を抑制しつつ、良好に表示することができる。

10

【0070】

また、本実施形態の電流記憶回路を構成するバイポーラトランジスタやMOSトランジスタの素子構成については、特に限定するものではなく、素子特性や製造技術、製品コスト等に応じて適宜設計変更されるものであってもよいことはいうまでもないが、特に、電流成分保持部を構成するMOSトランジスタにおいては、必要な動作速度を得るために、望ましくは、以下に示すように、MOSトランジスタの移動度 μ_e が概ね $200\text{ cm}^2/\text{Vs}$ より大きい値を有するトランジスタを良好に適用することができる。

20

【0071】

すなわち、図5（a）は、前述した図3の電流記憶回路の電流成分保持部31において、蓄積容量C31に所定の電荷が蓄積される際の構成を示す等価回路であり、PMOSトランジスタM31、M33がONで導通状態となり、PMOSトランジスタM34がOFFで開放状態となっている場合に対応する。ここで、トランジスタMはPMOSトランジスタM32に対応し、容量Cは蓄積容量C31に対応するものであって、配線容量、蓄積容量、トランジスタMのゲート容量の総和である。また、説明を簡単にするために、トランジスタMのソースS及び容量Cの一端は接地電位にされているものとする。

【0072】

30

ここで、図5（a）に示すように、定電流源より電流 I_{in} がトランジスタMのドレインDに供給された場合、ドレイン電圧を $V(t)$ 、トランジスタMのドレイン電流を I_d とした場合、ドレイン電流 I_d は、 $A = (1/2) * C_{in} * \mu_e * (W/L)$ 、 C_{in} はトランジスタMの単位面積当たりのゲート容量、 μ_e はトランジスタMの移動度、WはトランジスタMのチャネル幅、Lはチャネル長とすると、次式（1）となる。

【0073】

【数1】

$$I_d = A \times V(t)^2 \quad \dots (1)$$

40

【0074】

これにより、次式（2）の微分方程式が成り立つ。

【0075】

【数2】

$$C \times \frac{dV(t)}{dt} + A \times V(t)^2 = I_{in} \quad \dots (2)$$

【0076】

ここで、容量Cは上記のように配線容量、蓄積容量、トランジスタMのゲート容量の総和である。これを解いて得られるトランジスタMのドレイン電圧V(t)、すなわち容量Cの電圧の時間tに対する変化は、概略、図5(b)に示すようになる。ここで、τは時定数であり、容量Cにおけるゲート容量が他の容量より大きい場合、次式(3)で表わされる。そして、時間t = 3τで、電圧V(t)は飽和電圧V(s)の99.5%の値に達する。

【0077】

【数3】

$$\tau = \frac{C}{\sqrt{A \times I_{in}}} \quad \dots (3)$$

【0078】

すなわち、時定数τは容量Cの値に比例し、移動度μ_eの1/2乗に反比例する。ここで、トランジスタMとしてポリシリコンTFTを用い、容量Cを6pF、W/Lを100μm/30μm、移動度μ_eを70cm²/Vs、ゲート絶縁膜の膜厚を105nm、印加電流I_{in}を10μAとした場合、時定数τは1.42μsecとなる。このため、駆動する表示パネルの走査ライン数を120本とした場合、走査ライン1本当たりの選択期間は約139μsecとなり、この時間内に書き込みできるデータラインの本数は約32本となる。

【0079】

これに対し、上記条件の基でトランジスタMの移動度μ_eが245cm²/Vsである場合、時定数τは約0.096μsecとなり、これにより上記表示パネルの走査ライン1本当たりの選択期間内に書き込みできるデータラインの本数は約482本となり、走査ライン数が120本、データライン数が160(×RGB)本の1/4VGAパネルを駆動することができる。

あるいは、移動度μ_eは70cm²/Vsで変わらずとも、容量Cが0.51pFである場合、時定数τは同じく約0.096μsecとなっており、上記と同様に1/4VGAパネルを駆動することができる。

すなわち、少なくとも1/4VGAパネルを駆動するには、トランジスタMの移動度μ_eは、概ね200cm²/Vsより大きい値を有すること、あるいは、容量Cが概ね0.5pFより小さい値であることが必要となる。

【0080】

なお、上記のように、時定数τは容量Cの値に比例し、トランジスタの移動度μ_eの1/2乗に反比例するため、容量Cが更に小さく、あるいは移動度μ_eが更に大きくなれば、更に時定数τを小さくすることができて、より高精細の表示パネルを駆動することができる。

また、上記移動度や容量値を実現するトランジスタの構成としては、特に限定するものではないが、例えば、絶縁基板上に形成した連続結晶粒界を有するポリシリコンMOSトラ

ンジスタや、単結晶シリコン基板上に形成したM O S トランジスタであれば上記の条件を満たすことができ、好適に用いることができる。

【0081】

<電流駆動装置の第2の実施形態>

図6は、本発明に係る電流駆動装置の第2の実施形態を示す概略構成図である。ここで、上述した第1の実施形態と同等の構成については、同一又は同等の符号を付して、その説明を簡略化又は省略する。

第2の実施形態に係る電流駆動装置は、負荷が接続される出力端子ごとに一对の電流記憶部を備え、一方側の電流記憶部により単一の電流発生回路から供給される所定の電流値を有する電流を順次保持する動作と、他方側の電流記憶部により既に保持した電流を出力端子を介して一括して出力する動作を、同時並行的に実行するように構成されている。 10

【0082】

本実施形態に係る電流駆動装置は、具体的には、図6に示すように、負荷の駆動状態に応じた所定の電流値を有する電流 I_c を順次生成して出力する単一の電流発生回路 10B と、図示を省略した各負荷に接続される出力端子 T_{out} ごとに並列的に一对で設けられ、電流発生回路 10B から供給される電流 I_c を、個別のタイミングで交互（選択的）に取り込んで保持する電流記憶部 31a、31b からなる複数の電流記憶回路 30B と、電流記憶回路 30B を構成する電流記憶部 31a、31b に対応して2組設けられ、電流発生回路 10B から供給される電流 I_c を電流記憶部 31a、31b の各々へ供給する際のタイミングを設定するシフトレジスタ 20B（シフトレジスタ部 21a、21b）と、電流記憶回路 30B を構成する電流記憶部 31a、31b に対応して2組設けられ、各シフトレジスタ 21a、21b により設定される個別のタイミングに基づいて、電流発生回路 10B から各電流記憶回路 30B への電流 I_c の供給状態を制御する複数の入力側スイッチ手段 40B（スイッチ 41a、41b）と、出力端子 T_{out} ごとに設けられ、所定の出力選択信号 S_{EL} に基づいて、電流記憶部 31a、31b のいずれかを選択して、該電流記憶部 31a、31b に保持された電流の各出力端子 T_{out} への出力状態を制御する複数の出力側スイッチ手段 50B と、を備えて構成されている。なお、本実施形態に適用される電流発生回路 10B、シフトレジスタ 20B（シフトレジスタ部 21a、21b）、電流記憶回路 30B（電流記憶部 31a、32b）及び入力側スイッチ手段 40B（スイッチ 41a、41b）は、上述した第1の実施形態と同等の構成を有しているので、詳細な説明を省略する。 20 30

【0083】

ここで、シフトレジスタ部 21a は、各出力端子 T_{out} ごとに設けられた電流記憶回路 30B のうち、電流記憶部 31a に対応して設けられた各スイッチ 41a に対して、所定のタイミングでシフト出力をスイッチ切換信号 S_{R1} として順次出力する。一方、シフトレジスタ 21b は、各出力端子 T_{out} ごとに設けられた電流記憶回路 30B のうち、電流記憶部 31b に対応して設けられた各スイッチ 41b に対して、上記シフトレジスタ 21a のシフト出力のタイミングとは時間的に重ならない、異なるタイミングでシフト出力をスイッチ切換信号 S_{R2} として順次出力する。

また、出力側スイッチ手段 50B は、図示を省略した制御部から出力される出力選択信号 S_{EL} に基づいて、上記シフトレジスタ 21a、21b からのスイッチ切換信号 S_{R1} 、 S_{R2} の出力タイミングに同期し、上記入力側スイッチ手段 40B のうち、オン動作していないスイッチ側の電流記憶部（選択されていない電流記憶部側）を選択するように動作する。 40

【0084】

このような構成を有する電流駆動装置において、第1の動作期間（電流記憶部 31a 側は電流書込期間／電流記憶部 31b 側は電流出力期間）においては、シフトレジスタ 21a からのスイッチ切換信号 S_{R1} が、各電流記憶回路 30B の電流記憶部 31a に対応して設けられた各スイッチ 41a に、順次出力されることにより、各スイッチ 41a が所定期間のみ順次オン動作して、電流発生回路 10B から供給される電流 I_c が各電流記憶部 3 50

1 a に順次書き込まれる。このとき、シフトレジスタ 2 1 b からはスイッチ切換信号 S R 2 が出力されず、全てのスイッチ 4 1 b がオフ状態にある。

【0085】

また、このとき、制御部からは、各出力端子 T o u t に対応して設けられた出力側スイッチ手段 5 0 B を電流記憶部 3 1 b 側に切り換え設定する出力選択信号 S E L が共通に出力されるとともに、所定のタイミングで、全ての電流記憶部 3 1 b に対して、出力イネーブル信号 E N 2 が共通に出力されることにより、各電流記憶部 3 1 b に既に保持されている電流が負荷駆動電流 I d v として、各出力端子 T o u t を介して同一のタイミングで一斉に各負荷に出力される。

【0086】

次いで、上記第 1 の動作期間終了後に設定される第 2 の動作期間（電流記憶部 3 1 a 側は電流出力期間／電流記憶部 3 1 b 側は電流書込期間）においては、シフトレジスタ 2 1 b からのスイッチ切換信号 S R 2 が、各電流記憶回路 3 0 B の電流記憶部 3 1 b に対応して設けられた各スイッチ 4 1 b に、順次出力されることにより、各スイッチ 4 1 b が所定期間のみ順次オン動作して、電流発生回路 1 0 B から供給される電流 I c が各電流記憶部 3 1 b に順次書き込まれる。このとき、シフトレジスタ 2 1 a からはスイッチ切換信号 S R 1 が出力されず、全てのスイッチ 4 1 a がオフ状態にある。

【0087】

また、このとき、制御部からは、出力側スイッチ手段 5 0 B を電流記憶部 3 1 a 側に切り換え設定する出力選択信号 S E L が共通に出力されるとともに、所定のタイミングで、全ての電流記憶部 3 1 a に対して、出力イネーブル信号 E N 1 が共通に出力されることにより、各電流記憶部 3 1 a に上記第 1 の動作期間において保持された電流が負荷駆動電流 I d v として、各出力端子 T o u t を介して同一のタイミングで一斉に各負荷に出力される。

そして、このような第 1 及び第 2 の動作期間を、所定の動作周期ごとに繰り返し設定することにより、電流発生回路 1 0 B から連続的に出力される電流 I c が、一対の電流記憶部 3 1 a、3 1 b のうち、一方に保持されるとともに、他方から負荷駆動電流 I d v が出力される動作が、交互かつ連続的に実行される。

【0088】

したがって、本実施形態に係る電流駆動装置によれば、上述した第 1 の実施形態と同様に、単一の電流発生回路から出力される電流を各電流記憶回路（電流記憶部）に順次取り込んで保持し、所定のタイミングで一括して出力することにより、単一の電流源から供給される均一な電流特性を有する電流を各出力端子ごとに保持することができるので、各出力端子間の負荷駆動電流のバラツキを抑制することができるのと同時に、各出力端子ごとに一対の電流記憶部を備え、電流発生回路から出力される電流を、一方の電流記憶部側に順次書き込みを行っている状態で、他方の電流記憶部側に保持された電流を一括して出力することにより、電流書込動作時の待ち時間を短縮、もしくは、なくすことができるので、実質的に常時、所定の負荷駆動電流を出力端子を介して各負荷に供給して、負荷への駆動電流の供給時間を長くすることができて、駆動状態を細かく制御することができる。

【0089】

＜電流駆動装置の第 3 の実施形態＞

図 7 は、本発明に係る電流駆動装置の第 3 の実施形態を示す概略構成図である。ここで、上述した第 1 及び第 2 の実施形態と同等の構成については、同一又は同等の符号を付して、その説明を簡略化又は省略する。

第 3 の実施形態に係る電流駆動装置は、負荷が接続される出力端子ごとに 2 段の電流記憶部を直列に設け、前段の電流記憶部により単一の電流発生回路から供給される所定の電流値を有する電流を順次保持する動作と、後段の電流記憶部により前段の電流記憶部から転送された電流を、出力端子を介して一括して出力する動作を、同時並行的に実行するように構成されている。

【0090】

10

20

30

40

50

本実施形態に係る電流駆動装置は、具体的には、図 7 に示すように、負荷の駆動状態に応じた所定の電流値を有する電流 I_c を順次生成して出力する単一の電流発生回路 10C と、出力端子 T_{out} ごとに直列的に 2 段設けられ、電流発生回路 10B から供給される電流 I_c を、所定のタイミングで取り込んで保持し、図示を省略した制御部から供給される出力イネーブル信号（転送制御信号） E_{N1} に基づいて、所定のタイミングで保持した電流を一括して次段の電流記憶部 32b に転送する電流記憶部 32a、及び、電流記憶部 32a から転送された電流を取り込んで保持し、制御部から供給される出力イネーブル信号 E_{N2} に基づいて、保持した電流を所定のタイミングで、出力端子 T_{out} を介して一括して出力する電流記憶部 32b からなる複数の電流記憶回路 30C と、電流発生回路 10C から供給される電流 I_c を前段の電流記憶部 32a へ供給する際のタイミングを設定するシフトレジスタ 20C と、シフトレジスタ 20C により設定される所定のタイミングに基づいて、電流発生回路 10C から各電流記憶回路 30C への電流 I_c の供給状態を制御するスイッチ手段 40C と、を備えて構成されている。なお、本実施形態に適用される電流発生回路 10C、シフトレジスタ 20C、電流記憶回路 30C（電流記憶部 32a、32b）及びスイッチ手段 40C は、上述した第 1 の実施形態と同等の構成を有しているので、詳細な説明を省略する。

10

【0091】

このような構成を有する電流駆動装置において、第 1 の動作期間においては、シフトレジスタ 20C からのスイッチ切換信号 S_R が、各電流記憶回路 30C に対応して設けられたスイッチ手段 40C に、順次出力されることにより、スイッチ手段 40C が所定期間のみ順次オン動作して、電流発生回路 10C から供給される電流 I_c が前段の電流記憶部 32a に順次書き込まれる。

20

また、このとき、制御部から所定のタイミングで、全ての後段の電流記憶部 32b に対して、出力イネーブル信号 E_{N2} が共通に出力されることにより、各電流記憶部 32b に既に保持されている電流が負荷駆動電流 I_{dv} として、各出力端子 T_{out} を介して同一のタイミングで一斉に各負荷に出力される。

そして、上記第 1 の動作期間終了後の所定のタイミングで、制御部から全ての前段の電流記憶部 32a に対して、出力イネーブル信号 E_{N1} が共通に出力されることにより、上記第 1 の動作期間において各電流記憶部 32a に保持された電流が、後段の電流記憶部 32b に一括して転送され保持される（転送動作期間）。

30

【0092】

次いで、上記電流記憶回路 30C における電流の転送動作終了後に設定される第 2 の動作期間においては、上述した第 1 の動作期間と同様に、再び、シフトレジスタ 20C からのスイッチ切換信号 S_R が、各スイッチ手段 40C に順次出力されることにより、電流発生回路 10C から供給される電流 I_c が前段の電流記憶部 32a に順次書き込まれるとともに、このとき、後段の電流記憶部 32b に対して、所定のタイミングで出力イネーブル信号 E_{N2} が共通に出力されることにより、各電流記憶部 32b から上記転送、保持された電流が負荷駆動電流 I_{dv} として一斉に各負荷に出力される。

【0093】

そして、このような一連の動作期間を、所定の動作周期ごとに繰り返し設定することにより、電流発生回路 10C から連続的に出力される電流 I_c を、前段の電流記憶部 32a に保持するとともに、前段の電流記憶部 32a から転送された電流を後段の電流記憶部 32b から負荷駆動電流 I_{dv} として出力する動作が、順次かつ連続的に実行される。

40

したがって、本実施形態に係る電流駆動装置によれば、上述した第 2 の実施形態と同様に、各出力端子間の負荷駆動電流のバラツキを抑制することができるとともに、負荷への駆動電流の供給時間を長くすることができ、駆動状態を細かく制御することができる。

【0094】

<電流駆動装置の第 4 の実施形態>

図 8 は、本発明に係る電流駆動装置の第 4 の実施形態を示す概略構成図である。ここで、上述した第 1 乃至第 3 の実施形態と同等の構成については、同一又は同等の符号を付して

50

、その説明を簡略化又は省略する。

第4の実施形態に係る電流駆動装置は、上述した第1乃至第3の実施形態に示した構成において、所定数の出力端子、及び、該出力端子に対応して設けられた電流記憶回路、シフトレジスタ、スイッチ手段を含む構成を1グループとして、各グループごとに個別の半導体チップ上に形成するとともに、各グループ（半導体チップ）に対して単一の電流発生回路を設け、所定の電流値を有する電流を共通に供給する構成を有している。なお、以下に示す具体例においては、上述した第2の実施形態に示した構成に適用した場合について説明するが、他の実施形態についても同様に適用することができる。

【0095】

本実施形態に係る電流駆動装置は、具体的には、図8に示すように、第2の実施形態（図6参照）に示した構成と同等の、所定数の出力端子 T_{out} と、該出力端子 T_{out} に対応して設けられた複数の電流記憶回路30D（電流記憶部33a、33b）と、シフトレジスタ20D（シフトレジスタ部23a、23b）と、複数の入力側スイッチ手段40D（スイッチ43a、43b）と、複数の出力側スイッチ手段50Dからなる回路構成が、各々形成された複数の半導体チップCP1、CP2、・・・CPnと、各半導体チップCP1、CP2、・・・CPnに対して、各出力端子 T_{out} に接続される負荷の駆動状態に応じた所定の電流値を有する電流 I_c を順次生成して、共通に供給する単一の電流発生回路10Dと、を備えている。なお、本実施形態に適用される電流発生回路10D、シフトレジスタ20D（シフトレジスタ部23a、23b）、電流記憶回路30D（電流記憶部33a、33b）及び入力側スイッチ手段40D（スイッチ43a、43b）及び出力側スイッチ手段50Dは、上述した第2の実施形態と同等の構成を有しているので、詳細な説明を省略する。

【0096】

ここで、電流発生回路10Dは、上記電流記憶回路30Dを含む回路構成が形成された複数の半導体チップCP1、CP2、・・・CPnのうちの特定の半導体チップ上に形成されているものであってもよいし、各半導体チップCP1、CP2、・・・CPnのそれぞれに同じ回路が形成されていて、そのうちの何れか1つを用い、他を非動作とする、あるいはバイパスするようにしてもよい。更には、複数の半導体チップCP1、CP2、・・・CPnとは別個の半導体チップに形成されているものであってもよい。

また、本実施形態に適用される半導体チップCP1、CP2、・・・CPnは、例えば、単結晶シリコン等の半導体材料であればよく、特に材質を限定するものではない。

【0097】

このような構成を有する電流駆動装置において、上述した第2の実施形態と同様の動作を実行することにより、電流発生回路10Dから出力される電流 I_c が各半導体チップCP1、CP2、・・・CPnに共通に供給され、各半導体チップCP1、CP2、・・・CPnごとに設けられた電流記憶回路30Dの一对の電流記憶部33a、33bのうち、一方側に順次取り込まれて保持されるとともに、他方側に既に保持されている電流が負荷駆動電流 I_{dv} として、各半導体チップCP1、CP2、・・・CPnの出力端子 T_{out} を介して、一斉に各負荷に出力される動作が、交互かつ連続的に実行される。

【0098】

したがって、本実施形態に係る電流駆動装置によれば、各半導体チップに対して単一の電流発生回路のみを備え、各半導体チップごとに個別の電流発生回路を備えた構成を有していないので、各半導体チップに形成される回路構成の簡素化や端子数の削減を図ることができ、装置規模の小型化や製品コストの削減を図ることができるとともに、負荷に接続される出力端子数に対応させて、複数の半導体チップを設けた場合であっても、各半導体チップの電流記憶回路に単一の電流源から供給される均一な電流特性を有する電流を保持することができるので、各出力端子間並びに各半導体チップ間における負荷駆動電流のバラツキを抑制して、各負荷を均一な動作特性で駆動させることができる。

【0099】

具体的には、後述するような表示パネル（図15参照）において、表示画質の高精細化や

表示パネルの大画面化のために表示画素（発光素子；負荷）数を増加させ、複数のドライバチップ（半導体チップ）からなるデータドライバを適用した場合であっても、単一の電流発生回路から出力される、表示データに応じた所定の電流を各ドライバチップに形成された電流記憶回路に順次供給して、各出力端子から発光駆動電流（負荷駆動電流）を所定のタイミングで一斉に各発光素子に対して供給する動作を、各行ごとに順次繰り返すことにより、表示パネル1画面分の表示データを各表示画素に書き込んで所定の輝度階調で発光動作させることができるので、高精細又は大画面サイズの画像情報を表示ムラの発生を抑制しつつ、良好に表示することができる。

【0100】

<電流駆動装置の第5の実施形態>

10

図9は、本発明に係る電流駆動装置の第5の実施形態を示す概略構成図である。ここで、上述した第1乃至第4の実施形態と同等の構成については、同一又は同等の符号を付して、その説明を簡略化又は省略する。

本発明に係る電流駆動装置により駆動する表示パネルが単純マトリクス型である場合（図20参照）、各出力端子から表示素子（負荷）に対して、一定電流を有し、表示データに応じた供給時間（パルス幅）に設定された電流を供給することによってパルス幅変調（PWM）駆動方式として、所望の画像を表示させることができる。本実施形態の電流駆動装置は、このような駆動方式に好適に適用できるものであって、上述した第1乃至第4の実施形態に示した構成において、単一の電流発生回路から出力される電流が共通に供給される各半導体チップ（すなわち、第4の実施形態に示した所定数の出力端子、及び、該出力端子に対応して設けられた電流記憶回路、シフトレジスタ、スイッチ手段を含む1グループの回路構成）ごとの入力部に、単一の入力電流記憶回路を各々設けた構成を有して、各半導体チップの各出力端子毎の電流記憶回路に一定電流を取り込む動作を同時並行的に行うことができ、電流保持に要する時間を大幅に短縮することができる。なお、以下に示す具体例においては、上述した第4の実施形態に示した構成に適用した場合について説明するが、他の実施形態についても同様に適用することができる。

20

【0101】

本実施形態に係る電流駆動装置は、具体的には、図9に示すように、第4の実施形態（図8参照）に示した構成と同等の、所定数の出力端子T_{out}と、該出力端子T_{out}に対応して設けられた複数の電流記憶回路30E（電流記憶部34a、34b）と、シフトレジスタ20E（シフトレジスタ部24a、24b）と、複数の入力側スイッチ手段40E（スイッチ44a、44b）と、複数の出力側スイッチ手段50Eからなる回路構成に加え、これらの回路構成の前段であって、電流発生回路10Eから出力される電流I_cが供給される入力部に、図示を省略したシフトレジスタからのシフト出力に基づいてオン／オフ動作する入力部スイッチ手段60Eと、電流発生回路10Eから出力される電流I_cを取り込んで保持する入力電流記憶回路（入力電流記憶手段）70Eが形成された複数の半導体チップCP1、CP2、・・・CP_nと、各半導体チップCP1、CP2、・・・CP_nに対して、所定の電流I_cを共通に供給する単一の電流発生回路10Eと、を備えている。なお、本実施形態に適用される電流発生回路10E、シフトレジスタ20E（シフトレジスタ部24a、24b）、電流記憶回路30E（電流記憶部34a、34b）及び入力側スイッチ手段40E（スイッチ44a、44b）及び出力側スイッチ手段50Eは、上述した第4の実施形態と同等の構成を有しているので、詳細な説明を省略する。

30

40

【0102】

ここで、各半導体チップCP1、CP2、・・・CP_nに設けられる入力部スイッチ手段60Eは、図示を省略したシフトレジスタ（又は、制御部）から順次出力されるシフト出力（スイッチ切換信号）に基づいて、各々異なるタイミングでオン動作し、電流発生回路10Eから出力された電流I_cを各半導体チップCP1、CP2、・・・CP_nに供給する書込状態に設定して、電流I_cが入力電流記憶回路70Eに取り込まれ、保持されるように制御する。

【0103】

50

入力電流記憶回路 70E は、上述した第 1 の実施形態における電流記憶回路と同等の構成を有し、電流発生回路 10E から出力される電流 I_c を、上記入力部スイッチ手段 60E がオン状態となる所定のタイミングで順次取り込み保持し、該保持された電流 I_c を、図示を省略した制御部から出力される出力イネーブル信号に基づいて、各半導体チップ内の入力側スイッチ手段 40E（スイッチ 44a、44b のいずれか）を介して、電流記憶回路 30E（電流記憶部 34a、34b のいずれかに）出力する。

【0104】

このような構成を有する電流駆動装置において、まず、電流発生回路 10E から出力される所定の電流値を有する電流 I_c が各半導体チップ CP1、CP2、・・・CPn に共通に供給され、所定のタイミングで各半導体チップ CP1、CP2、・・・CPn ごとに設けられた入力部スイッチ手段 60E を介して、入力電流記憶回路 70E に順次取り込まれて保持される。 10

そして、第 1 の動作期間において、入力電流記憶回路 70E に保持された電流が、各半導体チップ CP1、CP2、・・・CPn において同時並行的に、入力側スイッチ手段 40E の一方（例えば、スイッチ 44a）を介して、電流記憶回路 30E の一方（例えば、電流記憶部 34a）に転送されて保持される。このとき、電流記憶回路 30E の他方（例えば、電流記憶部 34b）に既に保持されている電流が負荷駆動電流 I_{dv} として各出力端子 T_{out} に一斉に出力される。

【0105】

次いで、上記第 1 の動作期間終了後の所定のタイミングで、再び、電流発生回路 10E から出力される電流 I_c が、所定のタイミングで各半導体チップ CP1、CP2、・・・CPn ごとに設けられた入力部スイッチ手段 60E を介して、入力電流記憶回路 70E に順次取り込まれて保持される。 20

次いで、上記第 1 の動作期間終了後であって、入力電流記憶回路 70E への電流 I_c の取り込み保持動作が終了した後に設定される第 2 の動作期間においては、上述した第 1 の動作期間と同様に、入力電流記憶回路 70E に保持された電流が、各半導体チップ CP1、CP2、・・・CPn において同時並行的に、入力側スイッチ手段 40E の他方（例えば、スイッチ 44b）を介して、電流記憶回路 30E の他方（例えば、電流記憶部 34b）に転送されて保持される。このとき、上記第 1 の動作期間において電流記憶回路 30E の一方（例えば、電流記憶部 34a）に保持された電流が負荷駆動電流 I_{dv} として各出力端子 T_{out} に一斉に出力される。 30

【0106】

そして、このような一連の動作期間を、所定の動作周期ごとに繰り返し設定することにより、電流発生回路 10E から出力される電流 I_c を、入力部の入力電流記憶回路 70E に順次保持して後段の電流記憶回路 30E に転送するとともに、電流記憶回路 30E の一方に取り込んで保持する動作と、他方に保持されている電流を、負荷駆動電流 I_{dv} として一斉に各出力端子 T_{out} に出力する動作が、交互かつ連続的に実行される。

【0107】

したがって、本実施形態に係る電流駆動装置によれば、単一の電流発生回路から出力される電流を、各半導体チップごとに設けられた入力電流記憶回路に順次取り込み、その後、各半導体チップで同時並行的に、各出力端子に対応して設けられた後段の電流記憶回路に転送して取り込み保持して、所定のタイミングで一括して出力することにより、各出力端子間の負荷駆動電流のバラツキを抑制することができるとともに、各半導体チップの出力端子に対応した電流記憶回路に電流を取り込む動作を、各半導体チップ間で同時並行的に行うことができるため、全ての出力端子に対応した電流記憶回路に電流を取り込み保持するために要する時間を大幅に短縮することができ、負荷の駆動速度を高速化することができる。 40

【0108】

ここで、本実施形態においては、各半導体チップ CP1、CP2、・・・CPn ごとに設けられた入力電流記憶回路 70E により取り込み保持された電流 I_c が、各半導体チップ 50

CP1、CP2、・・・CPn内に設けられた複数の電流記憶回路30Eに順次取り込み保持されて、所定のタイミングで一斉に各出力端子Toutから出力される構成を有しており、各出力端子Toutを介して各負荷に供給される負荷駆動電流Idvは、各タイミングで全て同一の電流値を有する一定電流となる。そして、パルス幅変調(PWM)駆動方式とするために、各出力端子Toutと負荷の間に、図示しない、表示データに応じて各負荷に供給する電流の印加時間を変える回路を用いることによって、各負荷をパルス幅変調(PWM)によって動作させることができる。

【0109】

具体的には、後述するような表示パネル(図20参照)において、発光素子(負荷)に対して、データドライバを構成する各ドライバチップ(半導体チップ)の各出力端子の全てから均一な電流特性を有し、かつ、各表示データに応じた供給時間(パルス幅)に設定された一定電流からなる発光駆動電流(負荷駆動電流)を所定の表示期間中に供給する動作を、各行ごとに順次繰り返すことにより、表示パネル1画面分の表示データを各表示画素に書き込んで所定の輝度階調で発光動作させることができるので、所望の画像情報を表示ムラの発生を抑制しつつ、良好に表示することができる。

【0110】

<電流駆動装置の第6の実施形態>

図10は、本発明に係る電流駆動装置の第6の実施形態を示す概略構成図である。ここで、上述した第1乃至第5の実施形態と同等の構成については、同一又は同等の符号を付して、その説明を簡略化又は省略する。

第6の実施形態に係る電流駆動装置は、上述した第5の実施形態に示した構成において、各半導体チップごとに設けられた入力電流記憶回路が、一对の電流記憶部を並列的に設けた構成を有している。なお、以下に示す具体例においては、上述した第5の実施形態に示した構成に適用した場合について説明するが、他の実施形態についても同様に適用することができる。

【0111】

本実施形態に係る電流駆動装置は、具体的には、図10に示すように、第5の実施形態(図9参照)に示した構成において、各半導体チップCP1、CP2、・・・CPnの入力部に設けられた入力電流記憶回路(入力記憶手段)70Fが、相互に並列に配置された一对の電流記憶部71a、71bを備え、かつ、該入力電流記憶回路70Fの入力側及び出力側に、各々、上記電流記憶部71a、71bのいずれか一方に選択的に接続するための個別のスイッチ手段60F、80Fが設けられている。なお、本実施形態に適用される他の構成は、上述した第5の実施形態と同等の構成を有しているので、詳細な説明を省略する。

【0112】

このような構成を有する電流駆動装置において、電流発生回路10Fから連続的に出力される電流Icが各半導体チップCP1、CP2、・・・CPnに共通に供給され、図示を省略した制御部からスイッチ切換信号が所定のタイミングで、各半導体チップCP1、CP2、・・・CPnの入力部に設けられたスイッチ手段60F、80Fに印加されることにより、電流記憶回路70Fの一对の電流記憶部71a、72bのうち、一方側に上記電流Icが順次取り込まれて保持されるとともに、他方側に既に保持されている電流Icを、後段の複数の電流記憶回路30Fに転送する動作が、交互かつ連続的に実行される。

また、後段の複数の電流記憶回路30Fにおいては、電流記憶部35a、35bのいずれか一方側に所定のタイミングで、上記入力電流記憶回路70Fから供給される電流Icを順次取り込んで保持する動作と、他方側に保持された電流を出力端子を介して一斉に出力する動作が、交互かつ連続的に実行される。

【0113】

したがって、本実施形態に係る電流駆動装置によれば、単一の電流発生回路から出力される電流を、各半導体チップごとに設けられた入力電流記憶回路の一方の入力電流記憶部側に順次書き込みを行っている状態で、他方の入力電流記憶部側に保持された電流を、各出

力端子ごとに設けられた電流記憶部に転送して取り込み保持することにより、各半導体チップへの電流書き込み動作時の待ち時間を短縮、もしくは、なくすることができるので、電流の書き込み時間を大幅に短縮することができるとともに、実質的に常時、所定の負荷駆動電流を出力端子を介して各負荷に供給して、負荷への駆動電流の供給時間を長くすることができる。駆動状態を細かく制御することができる。

なお、本実施形態においても、上述した第5の実施形態と同様に、各出力端子 T_{out} を介して各負荷に供給される負荷駆動電流 I_{dv} は、各タイミングで全て同一の電流値を有する一定電流となり、パルス幅変調(PWM)駆動方式を適用して、各負荷への一定電流の供給時間(パルス幅)を調整するようにすることにより、各負荷を所望の駆動状態で動作させることができる。

【0114】

<電流駆動装置の第7の実施形態>

図11は、本発明に係る電流駆動装置の第7の実施形態を示す概略構成図である。ここで、上述した第1乃至第6の実施形態と同等の構成については、同一又は同等の符号を付して、その説明を簡略化又は省略する。

第7の実施形態に係る電流駆動装置は、各々異なる重み付けを有するように電流値が設定された基準電流を生成して出力する複数の基準電流発生部を備えた単一の基準電流発生回路から供給される複数の基準電流を、該基準電流に対応して設けられた複数の基準電流記憶部に個別に保持し、所定数のデジタル入力信号に基づいて、負荷の駆動状態に応じた所定の電流を順次生成する構成を有している。

【0115】

本実施形態に係る電流駆動装置は、具体的には、図11に示すように、電流値に、例えば、1:2:4:8の重み付けが設定された基準電流 I_1 、 I_2 、 I_4 、 I_8 を個別に生成して出力する4組の基準電流発生部 $11a \sim 11d$ からなる基準電流発生回路(基準電流発生手段) $10G$ と、該基準電流発生回路 $10G$ から供給される各基準電流 I_1 、 I_2 、 I_4 、 I_8 を、後述する基準電流記憶回路 $90G$ へ並列的に一括して供給する際のタイミングを設定するシフトレジスタ SFR と、基準電流発生回路 $10G$ から供給される基準電流 I_1 、 I_2 、 I_4 、 I_8 を個別に取り込んで保持する複数の基準電流記憶部 $91a \sim 91d$ からなる電流記憶回路 $90G$ と、シフトレジスタ SFR から所定のタイミングで出力されるスイッチ切換信号(シフト出力) SRs により設定されるタイミングに基づいて、基準電流発生回路 $10G$ (基準電流発生部 $11a \sim 11d$)から基準電流記憶回路 $90G$ (基準電流記憶部 $91a \sim 91d$)への基準電流 I_1 、 I_2 、 I_4 、 I_8 の供給状態を制御する入力側スイッチ手段 SWA と、負荷の駆動状態を制御するためのデジタル入力信号 $IN1 \sim IN4$ に基づいて、基準電流記憶回路 $90G$ を構成する基準電流記憶部 $91a \sim 91d$ のうち、任意の基準電流記憶部を選択して、該選択された基準電流記憶部に保持された基準電流を合成して、負荷の駆動状態に対応した所定の電流値を有する電流 I_s を生成する出力側スイッチ手段(電流生成手段) SWB と、出力端子 T_{out} ごとに設けられ、出力側スイッチ手段 SWB により生成された電流 I_s を、個別のタイミングで取り込んで保持する複数の電流記憶回路 $30G$ と、電流記憶回路 $30G$ に対応して設けられ、図示を省略したシフトレジスタ(詳しくは、図1に示したシフトレジスタと同等)により設定されるタイミングに基づいて、出力側スイッチ手段 SWB から各電流記憶回路 $30G$ への電流 I_s の供給状態を制御する複数のスイッチ手段 $40G$ と、を備えて構成されている。

【0116】

すなわち、本実施形態においては、基準電流発生回路 $10G$ 、基準電流記憶回路 $90G$ 、入力側スイッチ手段 SWA 及び出力側スイッチ手段 SWB からなる構成が、所定数のデジタル入力信号 $IN1 \sim IN4$ に基づいて、負荷の駆動状態に応じた所定の電流値を有する電流 I_s を生成、出力する電流発生手段としての機能を有し、電流記憶回路 $30G$ 、スイッチ手段 $40G$ からなる構成が、上述した各実施形態に示したような電流記憶手段としての機能を有している。

【0117】

10

20

30

40

50

ここで、本実施形態に係る電流駆動装置においては、所定数の出力端子 T_{out} 、及び、該出力端子 T_{out} に対応して設けられた電流記憶回路 $30G$ 、入力側スイッチ手段 $40G$ 、並びに、各電流記憶回路 $30G$ に供給する所定の電流 I_s を生成する基準電流記憶回路 $90G$ 、入力側及び出力側スイッチ手段 SWA 、 SWB を含む構成を 1 グループとして、各グループごとに個別の半導体チップ $CP1$ 、 $CP2$ 、 \dots CPn 上に形成するとともに、各グループ（半導体チップ）に対して単一の基準電流発生回路 $10G$ を設け、該基準電流発生回路 $10G$ から出力される基準電流 I_1 、 I_2 、 I_4 、 I_8 が共通に供給されるように構成されている。

【0118】

また、基準電流発生部 $11a \sim 11d$ は、上述した各実施形態に示した電流発生回路と同等の回路構成（図 2 参照）を有し、各基準電流発生部 $11a \sim 11d$ により生成される基準電流の電流値の比が、 $1:2:4:8$ になるように、回路構成を適宜設計したものを適用することができる。なお、本実施形態に適用されるシフトレジスタ SFR 、基準電流記憶回路 $90G$ （電流記憶部 $91a \sim 91d$ ）及び入力側スイッチ手段 SWA は、上述した実施形態に示した各構成と同等の構成を有しているので、詳細な説明を省略する。

【0119】

このような構成を有する電流駆動装置において、基準電流生成期間においては、基準電流発生回路 $10G$ を構成する各基準電流発生部 $11a \sim 11d$ により $1:2:4:8$ の重み付けを有するように電流値が設定された基準電流 I_1 、 I_2 、 I_4 、 I_8 を生成して出力するとともに、シフトレジスタ SFR から順次出力されるスイッチ切換信号 SRs が各入力側スイッチ手段 SWA に順次印加される。これにより、各スイッチ手段 SWA が異なるタイミングで所定期間のみ順次オン動作して、上記基準電流発生回路 $10G$ から出力された一群の基準電流 I_1 、 I_2 、 I_4 、 I_8 が各基準電流記憶部 $91a \sim 91d$ に同時並行的に供給されて個別に保持される。

【0120】

次いで、電流出力期間においては、上記シフトレジスタ SFR からのスイッチ切換信号 SRs の出力が終了して、全ての入力側スイッチ手段 SWA がオフ動作し、全ての基準電流記憶回路 $90G$ に各基準電流 I_1 、 I_2 、 I_4 、 I_8 が保持された後、図示を省略した制御部から各基準電流記憶部 $91a \sim 91d$ に出力イネーブル信号 ENs が共通に印加されるとともに、デジタル入力信号 $IN1 \sim IN4$ が各基準電流記憶部 $91a \sim 91d$ に個別に設けられた出力側スイッチ手段 SWB に印加される。これにより、例えば、ハイレベルのデジタル入力信号 $IN1 \sim IN4$ が印加された出力側スイッチ手段 SWB のみがオン動作して、保持されていた基準電流が選択的に出力され、これらの電流成分が合成されることにより、デジタル入力信号 $IN1 \sim IN4$ の信号レベル（すなわち、負荷の駆動状態）に応じた電流値を有する電流（アナログ信号） I_s が生成される。

【0121】

次いで、電流書込期間においては、図示を省略したシフトレジスタからのスイッチ切換信号 SR が、スイッチ手段 $40G$ に順次出力されることにより、各スイッチ手段 $40G$ が所定期間のみ順次オン動作して、基準電流記憶回路 $90G$ から出力側スイッチ手段 SWB を介して供給される電流 I_s が各電流記憶回路 $30G$ に順次書き込まれる。

次いで、駆動電流出力期間においては、全ての電流記憶部 $30G$ に対して、図示を省略した制御部から出力イネーブル信号 EN が所定のタイミングで、共通に出力されることにより、各電流記憶回路 $30G$ に保持されている電流が負荷駆動電流 I_{dv} として、各出力端子 T_{out} を介して同一のタイミングで一斉に各負荷に出力される。

そして、このような基準電流生成期間、電流出力期間、電流書込期間及び駆動電流出力期間を、所定の動作周期ごとに繰り返し設定することにより、負荷を所定の駆動サイクルで動作させることができる。

【0122】

したがって、本実施形態に係る電流駆動装置によれば、各々異なる重み付けを有するように電流値が設定された基準電流が保持された複数の基準電流記憶部を、所定数のデジタル

10

20

30

40

50

入力信号に基づいて任意に選択して、選択された基準電流記憶部に保持された基準電流を合成することにより、負荷の駆動状態に対応したアナログ信号からなる所定の電流が生成されて、各出力端子に設けられた電流記憶回路に保持する動作が順次実行され、所定のタイミングで該保持された電流を負荷駆動電流として各負荷に一斉に供給されるので、比較的簡易な装置構成により、各負荷を入力信号に良好に対応した駆動状態で動作させることができる。また、単一の電流発生回路から出力される均一な電流特性を有する基準電流を、各半導体チップごとに設けられた基準電流記憶回路に共通に供給し、該基準電流に基づいて負荷駆動電流が生成されるので、各半導体チップ間、及び、同一の半導体チップに設けられる出力端子間における負荷駆動電流のバラツキを良好に抑制することができる。

なお、本実施形態においては、電流記憶手段として、上述した第1の実施形態に示した構成を適用した場合について説明したが、他の実施形態に示したような電流記憶部を複数備え、上記基準電流記憶回路から供給される電流 I_s を順次取り込んで保持する動作と、保持された電流を負荷駆動電流として出力端子を介して一斉に出力する動作を、交互に実行する構成を適用するものであってもよい。

【0123】

具体的には、後述するような表示パネル（図15参照）において、表示画質の高精細化や表示パネルの大画面化のために表示画素（発光素子；負荷）数を増加させ、複数のドライバチップ（半導体チップ）からなるデータドライバを適用した場合であっても、単一の基準電流発生回路から出力される基準電流を各ドライバチップに順次供給し、該基準電流に基づいて表示データ（デジタル入力信号）に良好に対応した電流値を有する発光駆動電流（アナログ信号）を順次生成して、所定のタイミングで一斉に各発光素子に供給することができるので、各出力端子間並びに各ドライバチップ間における発光駆動電流のバラツキを良好に抑制して、表示ムラの発生を抑制しつつ、表示データに良好に対応した多階調表示を行うことができる表示装置を実現することができる。

【0124】

<電流駆動装置の第8の実施形態>

図12は、本発明に係る電流駆動装置の第8の実施形態を示す概略構成図である。ここで、上述した第7の実施形態と同等の構成については、同一又は同等の符号を付して、その説明を簡略化又は省略する。

第8の実施形態に係る電流駆動装置は、上述した第7の実施形態に示した構成において、各半導体チップごとに、基準電流発生回路から出力される複数の基準電流を所定のタイミングで取り込み保持する複数の基準電流記憶部を備える一対の基準電流記憶回路部を備え、一方側の基準電流記憶回路部により単一の基準電流発生回路から供給される基準電流を順次保持する動作と、他方側の基準電流記憶回路部により既に保持した基準電流に基づいて、負荷の駆動状態に応じた所定の電流を生成して、電流記憶回路に順次出力する動作を、同時並行的に実行するように構成されている。

【0125】

本実施形態に係る電流駆動装置は、具体的には、図12に示すように、第7の実施形態（図11参照）に示した構成において、各半導体チップ $CP1$ 、 $CP2$ 、 \dots CPn に設けられた基準電流記憶回路 $90H$ が、相互に並列に配置された一対の4ビット基準電流記憶回路部（各基準電流記憶回路部は、図11に示した基準電流記憶部 $91a \sim 91d$ に相当する） $92a$ 、 $92b$ を備え、かつ、該基準電流記憶回路 $90H$ の入力側及び出力側に、各々、上記4ビット基準電流記憶回路部 $92a$ 、 $92b$ のいずれか一方に選択的に接続するための個別のスイッチ手段 SWA 、 SWB が設けられている。ここで、4ビット基準電流発生回路 $10H$ は、各々異なる重み付けを有するように電流値が設定された基準電流 $I1$ 、 $I2$ 、 $I4$ 、 $I8$ を生成して出力する4組の基準電流発生部からなる構成（図11に示した基準電流発生部 $11a \sim 11d$ に相当する構成）を有している。なお、本実施形態に適用される他の構成は、上述した第7の実施形態と同等の構成を有しているので、詳細な説明を省略する。

【0126】

このような構成を有する電流駆動装置において、4ビット電流発生回路10Hから各々異なる重み付けを有するように電流値が設定された基準電流 I_1 、 I_2 、 I_4 、 I_8 が各半導体チップCP1、CP2、・・・CPnに共通に供給され、シフトレジスタSFRから順次出力されるスイッチ切換信号SRsが各入力側スイッチ手段SWAに順次印加されることにより、基準電流記憶回路90Hの一对の4ビット基準電流記憶回路部92a、92bのうち、一方側に上記基準電流が順次取り込まれて個別に保持される。このとき、他方側に、図示を省略した制御部から出力イネーブル信号ENa、ENbが他方側の4ビット基準電流記憶回路部に共通に印加されるとともに、デジタル入力信号IN1～IN4が各出力側スイッチ手段SWBに印加されることにより、既に保持されている基準電流 I_1 、 I_2 、 I_4 、 I_8 が選択的に出力され、これらの電流成分が合成されて、デジタル入力信号IN1～IN4の信号レベル（すなわち、負荷の駆動状態）に応じた電流値を有する電流（アナログ信号）Isが生成される動作が、交互かつ連続的に実行される。

【0127】

したがって、本実施形態に係る電流駆動装置によれば、単一の基準電流発生回路から出力される異なる電流値を有する基準電流を、各半導体チップごとに設けられた基準電流記憶回路の一方の4ビット基準電流記憶回路部側に順次書き込みを行っている状態で、他方の4ビット基準電流記憶回路部側に保持された基準電流に基づいて、デジタル入力信号に対応した電流生成して、後段の電流記憶部に順次出力することにより、各半導体チップへの基準電流の取り込み動作時及び負荷の駆動応対に応じた電流の生成動作時における待ち時間を短縮、もしくは、なくすことができるので、電流の書き込み時間を大幅に短縮することができる。とともに、入力信号に良好に対応した駆動状態で各負荷を動作させることができる。

【0128】

<電流駆動装置の第9の実施形態>

図13は、本発明に係る電流駆動装置の第9の実施形態を示す概略構成図である。ここで、上述した実施形態と同等の構成については、同一又は同等の符号を付して、その説明を簡略化又は省略する。

第9の実施形態に係る電流駆動装置は、上述した各実施形態に示した電流駆動装置に適用される、半導体チップに形成された構成を相互に階層化して、上位の半導体チップに設けられた複数の出力端子の各々を下位の複数の半導体チップの入力部に接続した構成を有している。なお、以下に示す具体例においては、上述した第8の実施形態に示した構成に適用した場合について説明するが、他の実施形態についても同様に適用することができる。

【0129】

本実施形態に係る電流駆動装置は、具体的には、図13に示すように、第8の実施形態（図12参照）に示した構成において、4ビット基準電流発生回路10Jから各々異なる重み付けを有するように電流値が設定された基準電流 I_1 、 I_2 、 I_4 、 I_8 が共通に供給される上位の半導体チップCP11、CP12、・・・CPyと、該上位の半導体チップCP11、CP12、・・・CPyごとの複数の出力端子T1outに、入力端子T2inが接続され、複数の負荷に出力端子T2outが個別に接続された下位の半導体チップCP21、CP22、・・・CPzと、を備えている。

【0130】

ここで、上位の半導体チップCP11、CP12、・・・CPyは、シフトレジスタSFRからのシフト出力（スイッチ切換信号）SRAに基づく所定のタイミングで、4ビット基準電流発生回路10Jから供給される基準電流 I_1 、 I_2 、 I_4 、 I_8 を取り込み保持する動作と、保持された基準電流 I_1 、 I_2 、 I_4 、 I_8 を、そのまま下位の半導体チップCP21、CP22、・・・CPzに供給する動作を選択的に繰り返し実行する一对の4ビット基準電流記憶回路部93a、93bを備えた基準電流記憶回路90Jと、該4ビット基準電流記憶回路部93a、93bのいずれか一方に選択的に接続するための個別のスイッチ手段SWA、SWBのみが設けられている。すなわち、半導体チップCP11、CP12、・・・CPyには、図12に示したような、入力信号に基づく所定の電流値を

有する電流を生成するための電流生成手段や後段の電流記憶回路を備えておらず、保持した基準電流 I_1 、 I_2 、 I_4 、 I_8 をそのまま出力して、出力端子 T_{out} 及び入力端子 T_{in} を介して、下位の半導体チップ CP_{21} 、 CP_{22} 、 \dots CP_z に供給する。

【0131】

また、下位の半導体チップ CP_{21} 、 CP_{22} 、 \dots CP_z は、上述した第8の実施形態と同様に、図示を省略したシフトレジスタからのシフト出力（スイッチ切換信号） SR_b に基づく所定のタイミングで、上位の半導体チップ CP_{11} 、 CP_{12} 、 \dots CP_y から供給される基準電流 I_1 、 I_2 、 I_4 、 I_8 を取り込み保持する一対の4ビット基準電流記憶回路部 $94a$ 、 $94b$ を備えた基準電流記憶回路 $90K$ と、該4ビット基準電流記憶回路部 $4a$ 、 $94b$ のいずれか一方に選択的に接続するための入力側スイッチ手段 SWC と、デジタル入力信号 $IN_1 \sim IN_4$ に基づいて、4ビット基準電流記憶回路部 $94a$ 、 $94b$ に保持された任意の基準電流を選択して、所定の電流値を有する電流を生成するための出力側スイッチ手段 SWD と、デジタル入力信号 $IN_1 \sim IN_4$ に基づいて生成された所定の電流を、順次取り込み保持し、所定のタイミングで一斉に出力端子 T_{out} を介して各負荷に負荷駆動電流を供給する電流記憶回路 $30J$ 及びスイッチ手段 $40J$ と、を備えて構成されている。

【0132】

このような構成を有する電流駆動装置において、4ビット基準電流発生回路 $10J$ から各々電流値の重み付けが異なる基準電流 I_1 、 I_2 、 I_4 、 I_8 が上位の半導体チップ CP_{11} 、 CP_{12} 、 \dots CP_y に共通に供給され、シフトレジスタ SFR から順次出力されるシフト出力 SR_a に基づいて、入力側スイッチ手段 SWA が基準電流記憶回路 $90J$ を構成する一対の4ビット基準電流記憶回路部 $93a$ 、 $93b$ の一方側に切り替わることにより、当該4ビット基準電流記憶回路部に上記基準電流 I_1 、 I_2 、 I_4 、 I_8 が個別に取り込まれて保持されるとともに、図示を省略した制御部から出力される出力イネーブル信号 EN_a 、 EN_b 及び選択制御信号 SEL に基づいて、出力側スイッチ手段 SWB が基準電流記憶回路 $90J$ の他方側に切り替わることにより、他方側に既に保持されている基準電流 I_1 、 I_2 、 I_4 、 I_8 がそのまま各出力端子 T_{out} を介して、下位の半導体チップ CP_{21} 、 CP_{22} 、 \dots CP_z の入力端子 T_{in} に供給される。

【0133】

そして、下位の半導体チップ CP_{21} 、 CP_{22} 、 \dots CP_z に供給された基準電流 I_1 、 I_2 、 I_4 、 I_8 は、図示を省略したシフトレジスタから順次出力されるシフト出力 SR_b に基づいて、入力側スイッチ手段 SWC が基準電流記憶回路 $90K$ を構成する一対の4ビット基準電流記憶回路部 $93a$ 、 $93b$ の一方側に切り替わることにより、当該4ビット基準電流記憶回路部に上記基準電流 I_1 、 I_2 、 I_4 、 I_8 が個別に取り込まれて保持されるとともに、制御部から出力される出力イネーブル信号 EN_c 、 EN_d 及びデジタル入力信号 $IN_1 \sim IN_4$ に基づいて、出力側スイッチ手段 SWD が基準電流記憶回路 $90K$ の他方側に切り替わるとともに、任意の基準電流記憶部を選択する。これにより、他方側に既に保持されている基準電流 I_1 、 I_2 、 I_4 、 I_8 が任意に選択されて合成され、負荷の駆動状態に応じた所定の電流値を有する電流 I_s が生成されて、後段の電流記憶回路 $30J$ に供給される。

【0134】

電流記憶回路 $30J$ に供給された電流 I_s は、図示を省略したシフトレジスタからのシフト出力 SR に基づいて、スイッチ手段 $40J$ が所定期間のみ順次オン動作して、基準電流記憶回路 $90K$ から出力側スイッチ手段 SWB を介して供給される電流 I_s が各電流記憶回路 $30K$ に順次書き込み保持され、負荷を駆動する所定のタイミングで制御部から出力イネーブル信号 EN が印加されることにより、各電流記憶部 $30J$ に保持された電流が負荷駆動電流 I_{dv} として、各出力端子 T_{out} を介して同一のタイミングで一斉に各負荷に出力される。

【0135】

したがって、本実施形態に係る電流駆動装置によれば、所定の電流を取り込み保持し、所定のタイミングで一斉に出力する機能を有する電流記憶回路を備えた半導体チップを、階層構造を有するように接続することにより、少数の上位の半導体チップに所定の電流又は基準電流を供給するだけで、複数の下位の半導体チップに該電流又は基準電流が順次転送され、所定の負荷駆動電流が各出力端子を介して、より多くの負荷に一括して供給されるので、各半導体チップ間、及び、同一の半導体チップに設けられる出力端子間における負荷駆動電流のバラツキを小さく抑制することができるとともに、実質的に、各半導体チップに設けられた電流記憶回路への電流又は基準電流の書き込み時間を大幅に短縮することができる。

【0136】

なお、本実施形態においては、上述した第8の実施形態に階層構造を適用した場合の構成を示したため、上位の半導体チップCP11、CP12、・・・CPyと、下位の半導体チップCP21、CP22、・・・CPzに形成される回路構成が異なるものとなったが、例えば、上述した第1の実施形態もしくは第4の実施形態に示した構成に適用した場合にあっては、同一の回路構成を有する半導体チップを適用することができる。

【0137】

<表示装置の実施形態>

次に、上述した電流駆動装置を表示装置の表示駆動回路に適用した場合について、図面を参照して説明する。

図14は、本発明に係る表示装置の全体構成の一例を示す概略ブロック図であり、図15は、本実施形態に係る表示装置に適用されるデータドライバ及び表示パネルの要部構成を示すブロック図であり、図16は、本発明に係る表示装置に適用される走査ドライバの他の例を示す概略構成図である。

【0138】

図14に示すように、本実施形態に係る表示装置100は、概略、図15に示すように、相互に並行して配設された複数の走査ライン（走査線）SL及び電源ライン（電源線）VLと複数のデータライン（信号線）DLとの各交点近傍に、後述する画素駆動回路DC及び有機EL素子（発光素子）OELからなる複数の表示画素がマトリクス状に配列された表示パネル（画素アレイ）110と、表示パネル110の走査ラインSLに接続され、各走査ラインSLに所定のタイミングで順次ハイレベルの走査信号Vselを印加することにより、行ごとの表示画素群を選択状態に制御する走査ドライバ（走査駆動手段）120と、表示パネル110のデータラインDLに接続され、データラインDLへの表示データに応じた信号電流（階調電流Ipix）の供給状態を制御するデータドライバ（信号駆動手段）130と、表示パネル110の走査ラインSLに並行して配設された電源ラインVLに接続され、各電源ラインVLに所定のタイミングで順次ハイレベル又はローレベルの電源電圧Vscを印加することにより、表示画素群に表示データに応じた所定の信号電流（階調電流、駆動電流）を流下させる電源ドライバ（電源駆動手段）140と、後述する表示信号生成回路160から供給されるタイミング信号に基づいて、少なくとも、走査ドライバ120及びデータドライバ130、電源ドライバ140の動作状態を制御する走査制御信号及びデータ制御信号、電源制御信号を生成、出力するシステムコントローラ150と、表示装置100の外部から供給される映像信号に基づいて、表示データを生成してデータドライバ130に供給するとともに、該表示データを表示パネル110に画像表示するためのタイミング信号（システムクロック等）を生成、又は、抽出してシステムコントローラ150に供給する表示信号生成回路160と、を備えて構成されている。

【0139】

以下、上記各構成について具体的に説明する。

（表示パネル）

表示パネルにマトリクス状に配列された表示画素は、図15に示すように、走査ドライバ120から走査ラインSLに印加される走査信号Vsel、及び、信号ドライバ130からデータラインDLに供給される信号電流、電源ドライバ140から電源ラインVLに印

10

20

30

40

50

加される電源電圧 V_{sc} に基づいて、後述する表示画素への書込動作及び発光素子の発光動作を制御する画素駆動回路 DC と、供給される駆動電流の電流値に応じて発光輝度が制御される有機 EL 素子 OEL と、を有して構成されている。

【0140】

ここで、画素駆動回路 DC は、概略、走査信号に基づいて該表示画素の選択／非選択状態を制御し、選択状態において表示データに応じた階調電流を取り込んで電圧レベルとして保持し、非選択状態において上記保持した電圧レベルに応じた駆動電流を流して発光素子を発光する動作を所定期間維持する機能を有している。

なお、画素駆動回路の具体回路例や回路動作については後述する。また、本発明に係る表示装置においては、画素駆動回路により発光制御される発光素子として、従来技術においても説明した有機 EL 素子や発光ダイオード等を良好に適用することができる。 10

【0141】

(走査ドライバ)

走査ドライバ 120 は、システムコントローラ 150 から供給される走査制御信号に基づいて、各走査ライン SL にハイレベルの走査信号 V_{se1} を順次印加することにより、各行ごとの表示画素を選択状態とし、データドライバ 130 によりデータライン DL を介して供給された表示データに基づく階調電流 I_{pix} を表示画素に書き込むように制御する。

【0142】

走査ドライバ 120 は、具体的には、図 15 に示すように、シフトレジスタとバッファからなるシフトブロック $SB1$ 、 $SB2$ 、 \dots を、各走査ライン SL ごとに対応して複数段備え、システムコントローラから供給される走査制御信号（走査スタート信号 $SSTR$ 、走査クロック信号 CLK 等）に基づいて、シフトレジスタにより表示パネル 110 の上方から下方に順次シフトしつつ生成されたシフト出力が、バッファを介して所定の電圧レベル（ハイレベル）を有する走査信号 V_{se1} として各走査ライン SL に印加される。 20

【0143】

(データドライバ)

データドライバ 130 は、システムコントローラ 150 から供給される各種データ制御信号（出力イネーブル信号 OE 、データラッチ信号 STB 、サンプリングスタート信号 STR 、シフトクロック信号 CLK 等）に基づいて、表示信号生成回路 160 から供給される表示データを所定のタイミングで取り込んで保持し、該表示データに対応する階調電圧（デジタル入力信号）を電流成分に変換して、所定のタイミングで階調電流 I_{pix} （アナログ出力信号）として各データライン DL に供給する。 30

【0144】

ここで、データドライバ 130 は、具体的には、上述した第 1 乃至第 4 、又は、第 7 乃至第 9 の実施形態に示した電流駆動装置の構成のいずれかを適用することができる。

具体的には、第 1 乃至第 4 の実施形態に示した電流駆動装置を適用する場合にあっては、表示信号生成回路により映像信号に基づいて生成されたデジタル信号からなる表示データに基づいて、単一の電流発生回路において発光素子の輝度階調に応じた所定の電流を生成し、該電流を各ドライバチップに設けられた複数の出力端子に対応する各電流記憶回路に順次取り込んで保持し、その後、所定のタイミングで該保持された電流を階調電流（負荷駆動電流）として、各出力端子を介して表示パネルに配設された各データラインへ一斉に出力する。 40

【0145】

また、第 7 乃至第 9 の実施形態に示した電流駆動装置を適用する場合にあっては、単一の基準電流発生回路により、予め電流値が重み付けされて生成された複数の基準電流を、各ドライバチップに設けられた基準電流記憶回路に個別に取り込んで 込んで保持し、上記デジタル信号からなる表示データに基づいて、任意の基準電流を選択して合成した電流を、発光素子の輝度階調に応じた階調電流（負荷駆動電流）として各出力端子を介して表示パネルに配設された各データラインへ一斉に出力する。 50

【0146】

ここで、上述した各実施形態に係る電流駆動装置においては、負極性の電流成分が生成されて階調電流としてデータラインに供給されるので、上記階調電流に相当する電流が、データライン（表示パネル）側から出力端子を介してデータドライバ（電流駆動装置）方向に、引き込まれるように流下する。したがって、本実施形態に係る表示装置においては、発光素子が配置された各表示画素に、後述するような電流書き込み型の画素駆動回路が設けられた構成を有する表示パネルに良好に適用することができる。

【0147】

（システムコントローラ）

システムコントローラ150は、走査ドライバ120及びデータドライバ130、電源ドライバ140の各々に対して、動作状態を制御する走査制御信号及びデータ制御信号（上述した走査シフトスタート信号SSTRや走査クロック信号CLK、シフトスタート信号STRやシフトクロック信号CLK、ラッチ信号STB、出力イネーブル信号OE等）、電源制御信号（後述する電源スタート信号VSTR、電源クロック信号VCLK等）を出力することにより、各ドライバを所定のタイミングで動作させて走査信号Vsel及び階調電流Ipix、電源電圧Vscを生成、出力させ、後述する画素駆動回路における駆動制御動作（表示装置の駆動制御方法）を実行させて、所定の映像信号に基づく画像情報を表示パネル110に表示させる制御を行う。なお、システムコントローラ150は、上述した各実施形態に係る電流駆動装置に示した制御部を構成する。

【0148】

（電源ドライバ）

電源ドライバ140は、システムコントローラ150から供給される電源制御信号に基づいて、上記走査ドライバ120により各行ごとの表示画素群が選択状態に設定されるタイミングに同期して、電源ラインVLにローレベルの電源電圧Vsc1（例えば、接地電位以下の電圧レベル）を印加することにより、電源ラインVLから表示画素（画素駆動回路）を介してデータドライバ130方向に、表示データに基づく階調電流Ipixに対応する書込電流（シンク電流）を引き込み、一方、走査ドライバ120により各行ごとの表示画素群が非選択状態に設定されるタイミングに同期して、電源ラインVLにハイレベルの電源電圧Vsc2を印加することにより、電源ラインVLから表示画素（画素駆動回路）を介して有機EL素子OEL方向に、表示データに基づく階調電流Ipixに対応する駆動電流を流すように制御する。

【0149】

電源ドライバ140は、図15に示すように、概略、上述した走査ドライバ120と同様に、シフトレジスタとバッファからなるシフトブロックSB1、SB2、・・・を、各電源ラインVLごとに対応して複数段備え、システムコントローラから供給される走査制御信号と同期する電源制御信号（電源スタート信号VSTR、電源クロック信号VCLK等）に基づいて、シフトレジスタにより表示パネル110の上方から下方に順次シフトしつつ生成されたシフト出力が、バッファを介して所定の電圧レベル（走査ドライバによる選択状態においてはローレベル、非選択状態においてはハイレベル）を有する電源電圧Vsc1、Vsc2として各電源ラインVLに印加される。

【0150】

（表示信号生成回路）

表示信号生成回路160は、例えば、表示装置の外部から供給される映像信号から輝度階調信号成分を抽出し、表示パネル110の1行分ごとに表示データとしてデータドライバ130のデータレジスタ回路132に供給する。ここで、上記映像信号が、テレビ放送信号（コンポジット映像信号）のように、画像情報の表示タイミングを規定するタイミング信号成分を含む場合には、表示信号生成回路160は、上記輝度階調信号成分を抽出する機能のほか、タイミング信号成分を抽出してシステムコントローラ150に供給する機能を有するものであってもよい。この場合においては、上記システムコントローラ150は、表示信号生成回路160から供給されるタイミング信号に基づいて、走査ドライバ12

0やデータドライバ130、電源ドライバ140に対して供給する走査制御信号及びデータ制御信号、電源制御信号を生成する。

【0151】

なお、本実施形態においては、表示パネル110の周辺に付設されるドライバとして、図14及び図15に示すように、走査ドライバ120、データドライバ130及び電源ドライバ140を個別に配置した構成について説明したが、本発明はこれに限定されるものではなく、上述したように、走査ドライバ120及び電源ドライバ140は、タイミングが同期する同等の制御信号（走査制御信号及び電源制御信号）に基づいて動作するので、例えば、図16に示すように、走査ドライバ120Aに、走査信号の生成、出力タイミングに同期して電源電圧 V_{sc} を供給する機能を有するように構成したものであってもよい。10
このような構成によれば、周辺回路の構成を簡素化することができる。

【0152】

（表示画素：画素駆動回路）

次いで、上述した表示画素に適用される画素駆動回路の具体例について、図面を参照して説明する。

まず、本実施形態に係る表示装置に適用可能な画素駆動回路の基本構成及びその動作について説明する。

図17は、本発明に係る表示装置に適用可能な画素駆動回路の基本構成の一例を示す回路構成図であり、図18は、本実施形態に適用可能な画素駆動回路の基本動作を示す概念図である。図19は、本実施形態に係る表示装置における画像情報の表示タイミングを示す10
タイミングチャートである。

【0153】

基本構成に係る画素駆動回路DCxは、例えば、図17に示すように、表示パネル110に相互に直交するように配設された走査ラインSLとデータラインDLとの各交点近傍に、ゲート端子が走査ラインSLに、ソース端子が電源ラインVLに、ドレイン端子が接点N1に各々接続されたNMOS薄膜トランジスタTr1と、ゲート端子が走査ラインSLに、ソース端子及びドレイン端子がデータラインDL及び接点N2に各々接続されたNMOS薄膜トランジスタTr2と、ゲート端子が接点N1に、ソース端子及びドレイン端子が電源ラインVL及び接点N2に各々接続されたNMOS薄膜トランジスタTr3と、接点N1及び接点N2間に接続されたコンデンサCsと、を備えた構成を有し、有機EL素子OELのアノード端子が接点N2に、カソード端子が接地電位に各々接続されている。30
ここで、コンデンサCsは、薄膜トランジスタTr3のゲートーソース間に形成される寄生容量であってもよい。

【0154】

このような構成を有する画素駆動回路における発光素子（有機EL素子）の発光駆動制御は、例えば、図19に示すように、一走査期間 T_{sc} を1サイクルとして、該一走査期間 T_{sc} 内に、特定の走査ラインに接続された表示画素群を選択して表示データに対応する信号電流を書き込み、信号電圧として保持する書込動作期間（又は、表示画素の選択期間） T_{se} と、該書込動作期間 T_{se} に書き込み、保持された信号電圧に基づいて、上記表示データに応じた駆動電流を有機EL素子に供給して、所定の輝度階調で発光動作させる40
発光動作期間（又は、表示画素の非選択期間） T_{nse} と、を設定することにより実行される（ $T_{sc} = T_{se} + T_{nse}$ ）。ここで、各行ごとに設定される書込動作期間 T_{se} は、相互に時間的な重なりが生じないように設定される。

【0155】

（書込動作期間：選択期間）

すなわち、表示画素への書込動作（選択期間 T_{se} ）においては、図19に示すように、まず、走査ドライバ120から特定の行（i行目）の走査ラインSLに対して、ハイレベルの走査信号 V_{sel} （ V_{slh} ）が印加されるとともに、電源ドライバ140から当該行（i行目）の電源ラインVLに対して、ローレベルの電源電圧 V_{sc1} が印加される。また、このタイミングに同期して、データドライバ130により取り込まれた当該行（i50

行目)の表示データに対応する負極性の階調電流 ($-I_{pix}$) が各データライン DL に供給される。

【0156】

これにより、画素駆動回路 DCx を構成する薄膜トランジスタ Tr1 及び Tr2 がオン動作して、ローレベルの電源電圧 Vsc1 が接点 N1 (すなわち、薄膜トランジスタ Tr3 のゲート端子及びコンデンサ Cs の一端) に印加されるとともに、データライン DL を介して負極性の階調電流 ($-I_{pix}$) を引き込む動作が行われることにより、ローレベルの電源電圧 Vsc1 よりも低電位の電圧レベルが接点 N2 (すなわち、薄膜トランジスタ Tr3 のソース端子及びコンデンサ Cs の他端) に印加される。

【0157】

このように、接点 N1 及び N2 間 (薄膜トランジスタ Tr3 のゲート-ソース間) に電位差が生じることにより、薄膜トランジスタ Tr3 がオン動作して、図 18 (a) に示すように、電源ライン VL から薄膜トランジスタ Tr3、接点 N2、薄膜トランジスタ Tr2、データライン DL を介して、データドライバ 130 に、階調電流 I_{pix} に対応した書込電流 Ia が流下する。

このとき、コンデンサ Cs には、接点 N1 及び N2 間 (薄膜トランジスタの Tr3 のゲート-ソース間) に生じた電位差に対応する電荷が蓄積され、電圧成分として保持される (充電される)。また、電源ライン VL には、接地電位以下の電圧レベルを有する電源電圧 Vsc1 が印加され、さらに、書込電流 Ia がデータライン方向に流下するように制御されていることから、有機 EL 素子 OEL のアノード端子 (接点 N2) に印加される電位はカソード端子の電位 (接地電位) よりも低くなり、有機 EL 素子 OEL に逆バイアス電圧が印加されていることになるため、有機 EL 素子 OEL には駆動電流が流れず、発光動作は行われない。

【0158】

(発光動作期間：非選択期間)

次いで、書込動作期間 (選択期間 Tse) 終了後の有機 EL 素子の発光動作 (非選択期間 Tns) においては、図 19 に示すように、走査ドライバ 120 から特定の行 (i 行目) の走査ライン SL に対して、ローレベルの走査信号 Vsel (Vsl1) が印加されるとともに、電源ドライバ 140 から当該行 (i 行目) の電源ライン VL に対して、ハイレベルの電源電圧 Vsch が印加される。また、このタイミングに同期して、データドライバ 130 による階調電流の引き込み動作が停止される。

【0159】

これにより、画素駆動回路 DCx を構成する薄膜トランジスタ Tr1 及び Tr2 がオフ動作して、接点 N1 (すなわち、薄膜トランジスタ Tr3 のゲート端子及びコンデンサ Cs の一端) への電源電圧 Vsc の印加が遮断されるとともに、接点 N2 (すなわち、薄膜トランジスタ Tr3 のソース端子及びコンデンサ Cs の他端) へのデータドライバ 130 による階調電流の引き込み動作に起因する電圧レベルの印加が遮断されるので、コンデンサ Cs は、上述した書込動作において蓄積された電荷を保持する。

【0160】

このように、コンデンサ Cs が書込動作時の充電電圧を保持することにより、接点 N1 及び N2 間 (薄膜トランジスタの Tr3 のゲート-ソース間) の電位差が保持されることになり、薄膜トランジスタ Tr3 はオン状態を維持する。また、電源ライン VL には、接地電位よりも高い電圧レベルを有する電源電圧 Vsch が印加されるので、有機 EL 素子 OEL のアノード端子 (接点 N2) に印加される電位はカソード端子の電位 (接地電位) よりも高くなる。

【0161】

したがって、図 18 (b) に示すように、電源ライン VL から薄膜トランジスタ Tr3、接点 N2 を介して、有機 EL 素子 OEL に順バイアス方向に所定の駆動電流 Ib が流れ、有機 EL 素子 OEL が発光する。ここで、コンデンサ Cs により保持される電位差 (充電電圧) は、薄膜トランジスタ Tr3 において階調電流 I_{pix} に対応した書込電流 Ia を

10

20

30

40

50

流下させる場合の電位差に相当するので、有機EL素子OELに流下する駆動電流 I_b は、上記書込電流 I_a と同等の電流値を有することになる。これにより、選択期間 T_{se} 後の非選択期間 T_{nse} においては、選択期間 T_{se} に書き込まれた表示データ（階調電流）に対応する電圧成分に基づいて、薄膜トランジスタ T_r3 を介して、駆動電流が継続的に供給されることになり、有機EL素子OELは表示データに対応する輝度階調で発光する動作を継続する。

【0162】

そして、上述した一連の動作を、図19に示すように、表示パネルを構成する全ての行の表示画素群について順次繰り返し実行することにより、表示パネル1画面分の表示データが書き込まれて、所定の輝度階調で発光し、所望の画像情報が表示される。

10

ここで、本実施形態に係る画素駆動回路に適用される薄膜トランジスタ $T_r1 \sim T_r3$ については、特に限定するものではないが、薄膜トランジスタ $T_r1 \sim T_r3$ は全てnチャネル型トランジスタにて構成することができるため、nチャネル型アモルファスシリコンTFTを良好に適用することができる。その場合、すでに確立された製造技術を適用して、動作特性の安定した画素駆動回路を比較的安価に製造することができる。

【0163】

また、上述したような回路構成を有する画素駆動回路によれば、表示画質の高精細化に伴って、表示データの書込動作を行う際の各表示画素（各行ごと）の選択時間が短く設定された場合であっても、表示データの輝度階調に応じた比較的大きな電流値を有する階調電流をデータドライバにより引き込むように流下させて、発光素子を発光動作させるための発光制御トランジスタのゲートソース間に付設されたコンデンサ C_s （薄膜トランジスタ T_r3 の寄生容量）に階調電流に対応した電圧を良好に充電する（書き込む）ことができるので、表示データの書き込み速度を向上させて表示応答特性の改善を図ることができる。

20

【0164】

したがって、表示パネルの大画面化や、表示画質の高精細化を図ることにより、表示パネルの接続端子数（すなわち、データドライバの出力端子数）が大幅に増加した場合であっても、出力端子間及び信号ドライバチップ間の出力電流（階調電流）のバラツキを抑制して表示ムラの発生等を抑制することができるとともに、より少ない端子数及び簡易な回路構成の信号ドライバで良好な階調表示を実現することができる表示装置を提供することができる。

30

【0165】

図20は、本発明に係る表示装置の他の例の要部構成を示す概略ブロック図である。

上述した実施形態においては、表示パネルの各表示画素に画素駆動回路を備えたアクティブマトリクス型の駆動方式を採用した表示装置（表示パネル）を示したが、本発明はこれに限定されるものではなく、図20に示すように、データドライバ130Bから延伸するデータラインDLと走査ドライバ120Bから延伸する走査ラインSLの交点に、例えば、アノード及びカソードを各々走査ライン及びデータラインに接続した発光ダイオード等の発光素子LEDを配置した単純マトリクス（パッシブマトリクス）型の表示パネルを採用した表示装置であっても良好に適用することができることはいうまでもない。

40

この場合、各発光素子に対して、表示データに対応した所定の電流値を有する発光駆動電流を個別に供給することにより、階調制御を行うことができるので、画像情報の表示速度の高速化を図りつつ、良好な多階調表示を実現することができる。

【0166】

また、図20に示した単純マトリクス型の表示パネルを採用した表示装置にあっては、データドライバ130Bとして、上述した第1乃至第9の実施形態に示した電流駆動装置の構成のいずれかを適用することができる。

具体的には、単一の電流発生回路において、所定の一定の電流値を有する電流を生成し、該電流を各ドライバチップの複数の出力端子に対応して設けられた各電流記憶回路に順次取り込んで保持し、周知のパルス幅変調（PWM）駆動方式を適用して、所定の表示期間

50

に、デジタル信号からなる表示データに基づく個別の供給時間（パルス幅）で、該保持された電流を各出力端子を介して表示パネルに配設された各データラインへ一斉に出力する。これにより、各発光素子を表示データに対応した所定の輝度階調で発光動作させることができるので、画像情報を良好に多階調表示することができる。

【0167】

なお、上述した表示装置の実施形態においては、表示パネルの各表示画素に備えられる画素駆動回路として3個の薄膜トランジスタを備えた回路構成を示して説明したが、本発明はこの実施形態に限定されるものではなく、例えば、4個の薄膜トランジスタを備えた回路構成を有するものであってもよく、更には、上述の実施形態のデータラインから階調電流を引き込む形態の電流指定方式に限らず、データラインから階調電流を印加する形態をも含む、電流指定方式を適用した画素駆動回路を備えた表示装置であって、発光素子への駆動電流の供給を制御する発光制御トランジスタ、及び、階調電流の書き込動作を制御する書き込制御トランジスタを有し、表示データに応じた書き込電流を保持した後、該書き込電流に基づいて、上記発光制御トランジスタをオン動作させて駆動電流を供給して、発光素子を所定の輝度階調で発光させるものであれば、他の回路構成を有するものであってもよい。

10

【0168】

また、各表示画素に配置される発光素子についても特に限定しないが、供給される発光駆動電流の電流値に応じて所定の輝度階調で発光動作するものであれば、上述した有機EL素子や発光ダイオード以外の他の発光素子であってもよい。なお、上記においては、本発明に係わる電流駆動装置を表示装置の表示駆動回路に適用した場合について説明したが、本発明の電流駆動装置はこのような表示駆動装置に限るものではなく、例えば発光ダイオードを多数配列して形成されるプリンタヘッドの駆動回路等、電流印加によって駆動する素子を多数備えるデバイスの駆動回路に好適に適用できるものである。

20

【0169】

【発明の効果】

以上説明したように、第1の発明に係る電流駆動装置及びその駆動方法によれば、複数配列された発光素子等の複数の負荷の各々に対して、指定した所定の電流値又は同一の電流値を有する駆動電流を供給することにより、各負荷を所定の輝度階調等の駆動状態で動作させる電流駆動装置において、唯一の電流発生手段により、上記負荷の駆動状態を制御するための所定の電流値を有する電流が生成、出力され、例えば、複数の半導体チップに個別に形成された複数の電流記憶手段に共通に供給されて、所定のタイミングで順次取り込み保持されるので、各半導体チップの各電流記憶手段に、単一の電流源から供給される均一な電流特性を有する電流が保持される。したがって、比較的簡易な装置構成により、各半導体チップ間、及び、同一の半導体チップに設けられる出力端子間における駆動電流のバラツキ（出力特性のバラツキ）を小さく抑制することができる。

30

【0170】

また、第1の発明に係る電流駆動装置を表示装置の信号駆動回路（データドライバ）に適用することにより、各ドライバチップ（半導体チップ）間、及び、同一のドライバチップに設けられる出力端子間における駆動電流のバラツキを小さく抑制して、表示ムラの発生を抑制することができるとともに、各表示画素への書き込みサイクルを短縮して、表示画質の向上を図ることができる。

40

また、表示パネルの高精細化や大型化に伴って、表示パネルの接続端子数が増加し、ドライバチップ数が増加した場合であっても、単一の電流発生手段により全てのドライバチップの電流記憶手段に対して電流特性が均一な所定の電流値を有する電流を保持させることができるので、各ドライバチップ内の回路構成を簡素化して、装置規模の省スペース化や製品コストの削減を図ることができる。

【0171】

また、第2の発明に係る電流駆動装置及びその駆動方法は、複数配列された発光素子等の複数の負荷の各々に対して、指定した所定の電流値又は同一の電流値を有する駆動電流を供給することにより、各負荷を所定の輝度階調等の駆動状態で動作させる電流駆動装置に

50

において、複数の基準電流発生部からなる唯一の基準電流発生手段により生成、出力された複数の基準電流が、例えば、複数の半導体チップに個別に形成された複数の基準電流記憶手段に共通に供給されて個別に保持され、電流生成手段により所定数のデジタル入力信号に基づいて任意の基準電流記憶部を選択して、保持された基準電流を合成することにより、デジタル入力信号に対応したアナログ信号からなる所定の電流を生成して、所定のタイミングで該電流を駆動電流として、もしくは、保持された電流に基づいて生成される駆動電流を、複数の負荷に一斉に供給することができるので、比較的簡易な装置構成により、各半導体チップ間、及び、同一の半導体チップに設けられる出力端子間における駆動電流のバラツキを抑制することができるのと同時に、各負荷を入力信号に良好に対応した駆動状態で動作させることができる。

10

【0172】

したがって、第2の発明に係る電流駆動装置を表示装置の信号駆動回路（データドライバ）に適用することにより、各ドライバチップ（半導体チップ）間、及び、同一の半導体チップに設けられる出力端子間における駆動電流のバラツキを抑制して、表示ムラの発生を抑制することができるのと同時に、所定のデジタル入力信号（表示データ）から良好な多階調表示に対応したアナログ信号（駆動電流）を生成することができるので、階調表示を一層鮮明化することができる表示装置を実現することができる。

【0173】

また、表示パネルの高精細化や大型化に伴って、表示パネルの接続端子数が増加し、ドライバチップ数が増加した場合であっても、単一の基準電流発生手段により全てのドライバチップの基準電流記憶手段に対して所定の重み付けを有する電流値が設定された均一な基準電流を保持させることができるので、各ドライバチップ内の回路構成を簡素化して、装置規模の省スペース化や製品コストの削減を図ることができる。

20

【図面の簡単な説明】

【図1】本発明に係る電流駆動装置の第1の実施形態を示す概略構成図である。

【図2】本実施形態に適用可能な電流発生回路の一具体例を示す回路構成図である。

【図3】本実施形態に適用可能な電流記憶回路及びスイッチ手段からなる構成の一具体例を示す回路構成図である。

【図4】本実施形態に適用可能な電流記憶回路における基本動作を示す概念図である。

【図5】電流記憶回路における電流成分保持部の動作を説明するための等価回路である。

30

【図6】本発明に係る電流駆動装置の第2の実施形態を示す概略構成図である。

【図7】本発明に係る電流駆動装置の第3の実施形態を示す概略構成図である。

【図8】本発明に係る電流駆動装置の第4の実施形態を示す概略構成図である。

【図9】本発明に係る電流駆動装置の第5の実施形態を示す概略構成図である。

【図10】本発明に係る電流駆動装置の第6の実施形態を示す概略構成図である。

【図11】本発明に係る電流駆動装置の第7の実施形態を示す概略構成図である。

【図12】本発明に係る電流駆動装置の第8の実施形態を示す概略構成図である。

【図13】本発明に係る電流駆動装置の第9の実施形態を示す概略構成図である。

【図14】本発明に係る表示装置の全体構成の一例を示す概略ブロック図である。

【図15】本実施形態に係る表示装置に適用されるデータドライバの要部構成を示すブロック図である。

40

【図16】本発明に係る表示装置に適用される走査ドライバの他の例を示す概略構成図である。

【図17】本発明に係る表示装置に適用可能な画素駆動回路の基本構成を示す回路構成図である。

【図18】本実施形態に適用可能な画素駆動回路の基本動作を示す概念図である。

【図19】本実施形態に係る表示装置における画像情報の表示タイミングを示すタイミングチャートである。

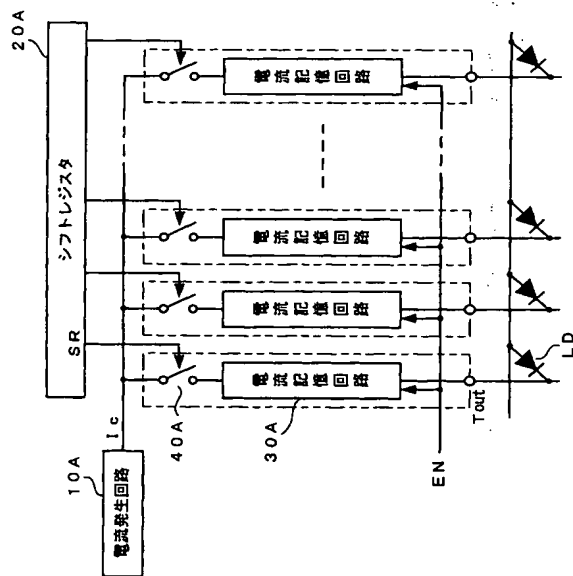
【図20】本発明に係る表示装置の他の例の要部構成を示す概略ブロック図である。

【符号の説明】

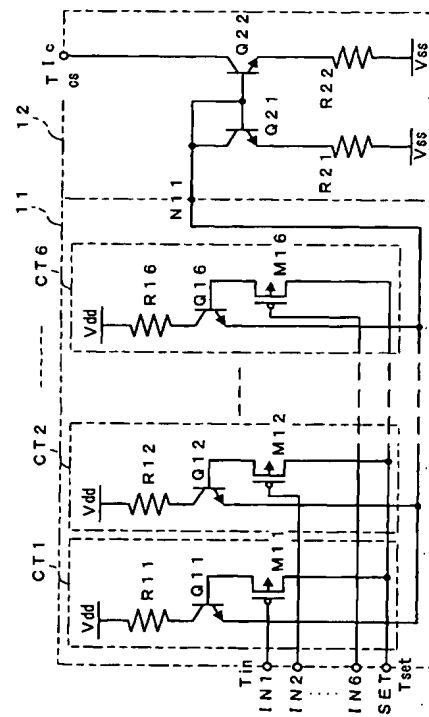
50

1 0 A	電流発生回路
1 0 G	基準電流発生回路
2 0 A	シフトレジスタ
3 0 A	電流記憶回路
4 0 A	スイッチ手段
9 0 G	基準電流記憶回路
1 0 0	表示装置
1 1 0	表示パネル
1 2 0	走査ドライバ
1 3 0	データドライバ
1 4 0	電源ドライバ
1 5 0	システムコントローラ
1 6 0	表示信号生成回路

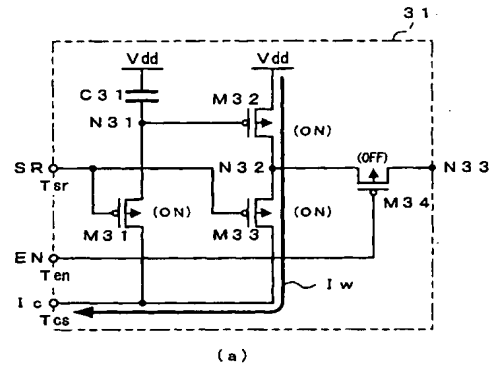
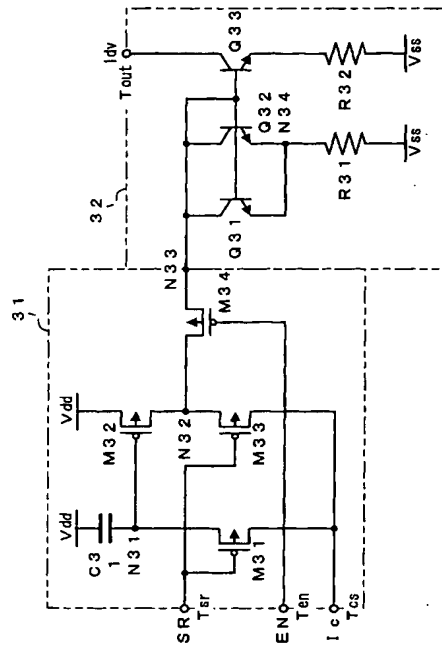
【図 1】



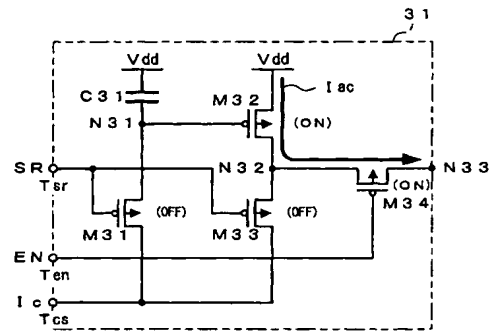
【図 2】



【 図 4 】

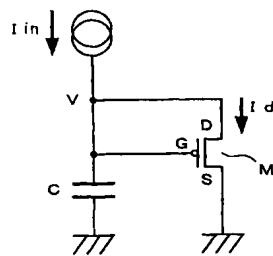


(a)

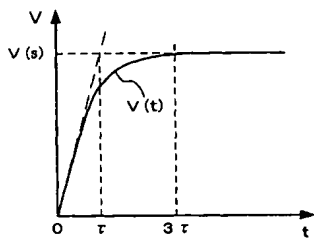


(b)

【图 5】

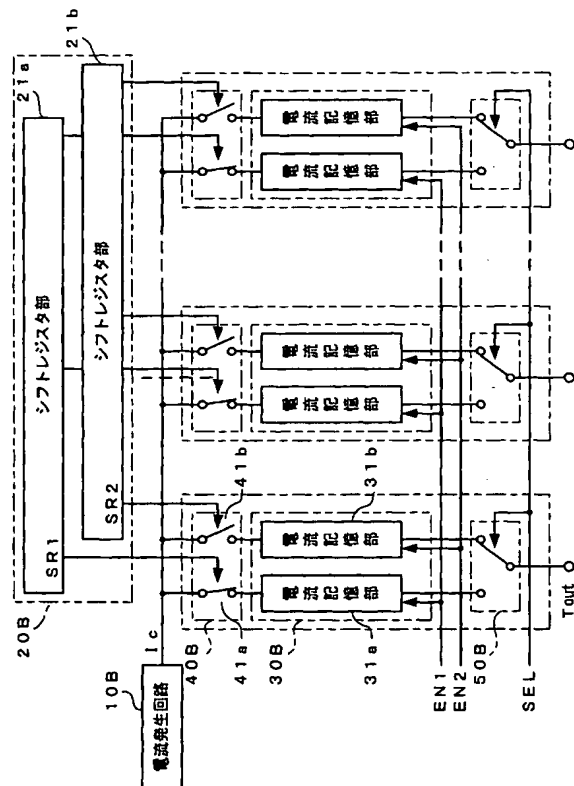


(a)

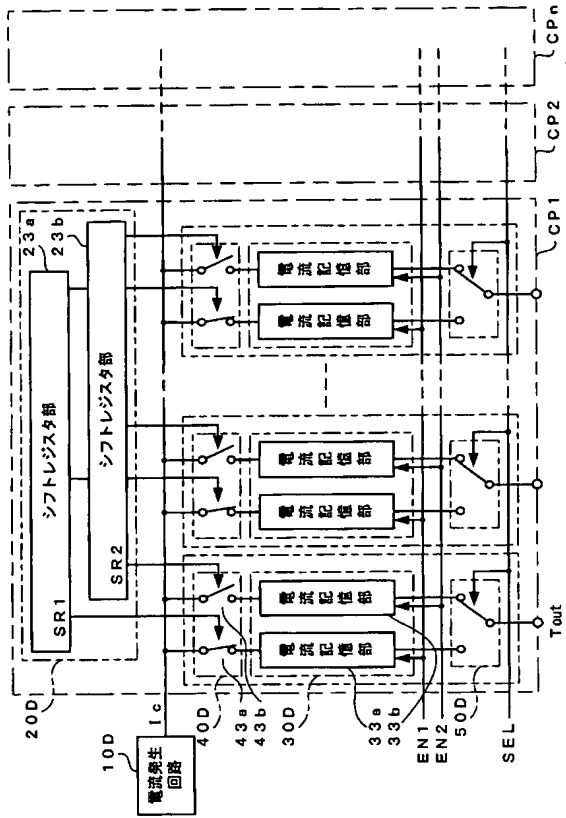


(b)

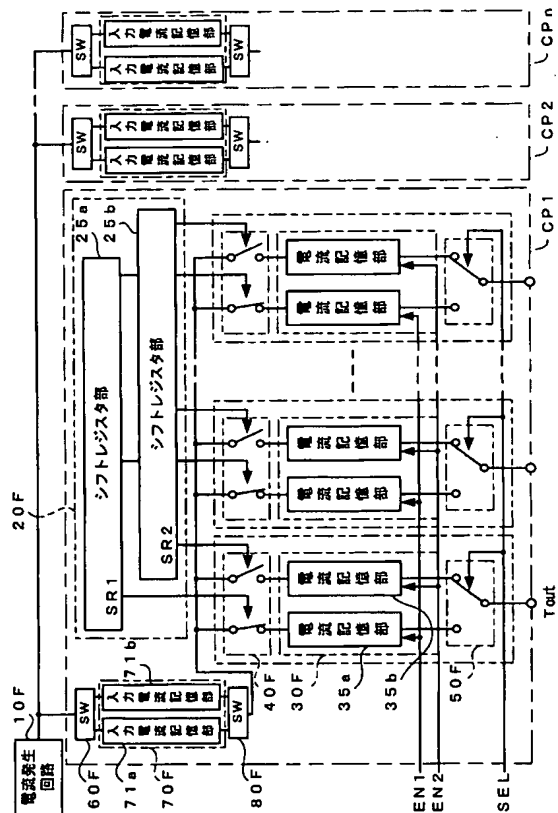
【图 6】



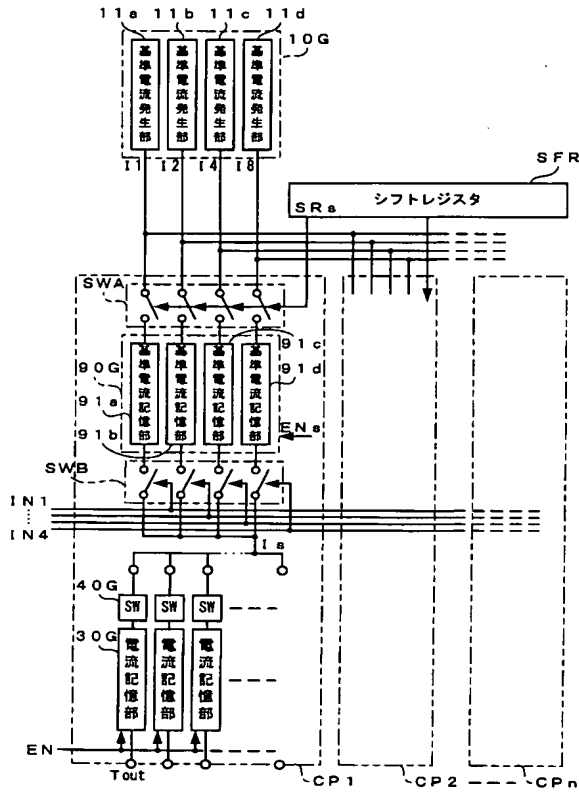
【图 8】



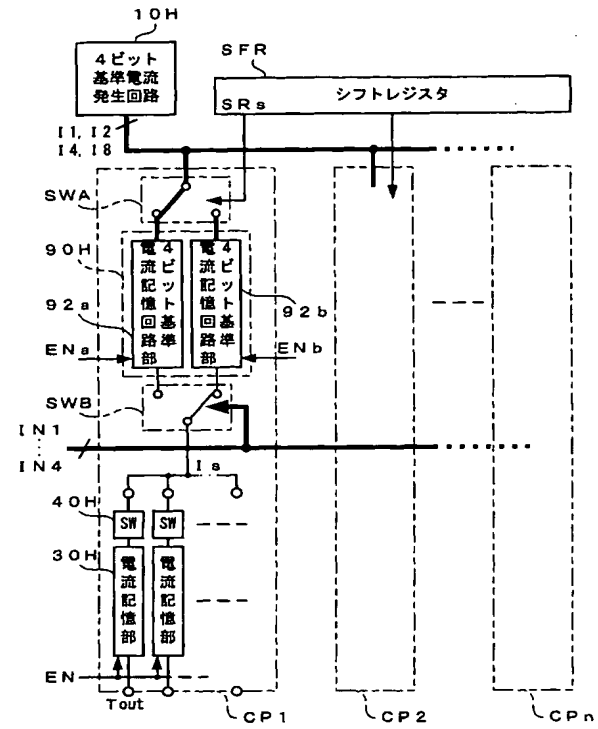
【 ㊦ 1 0 】



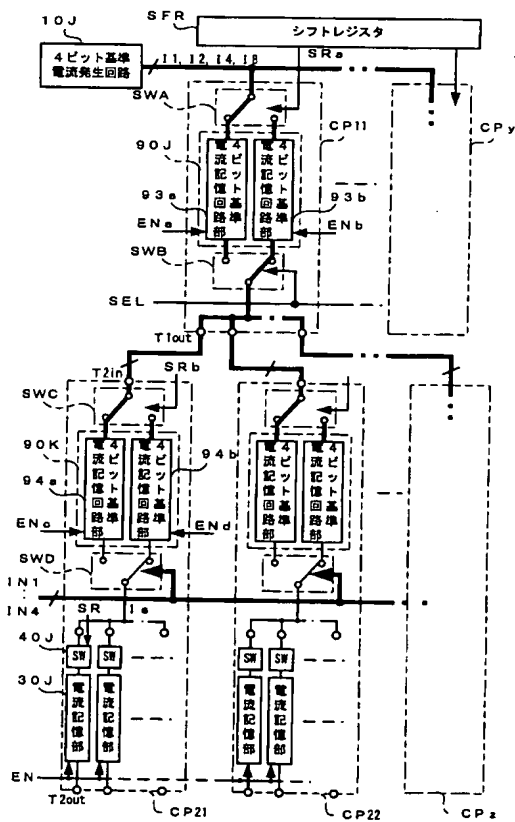
【図 1 1】



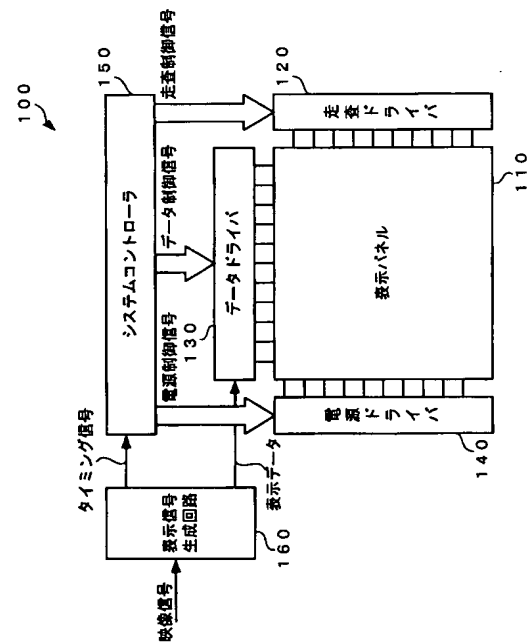
【図 1 2】



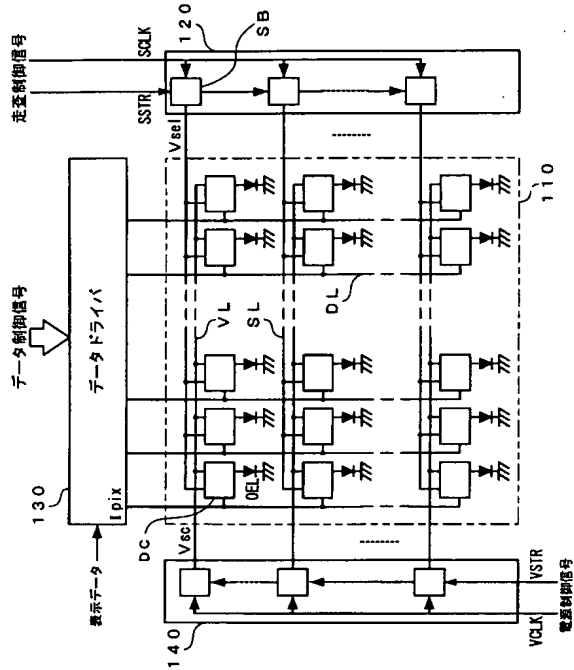
【図 1 3】



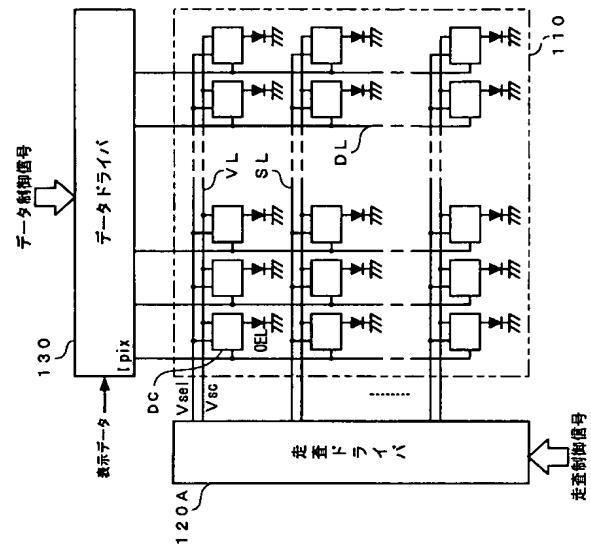
【図 1 4】



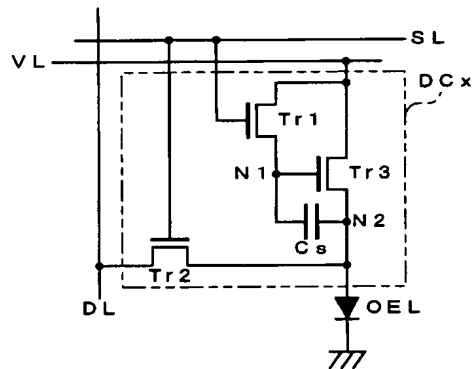
【図 15】



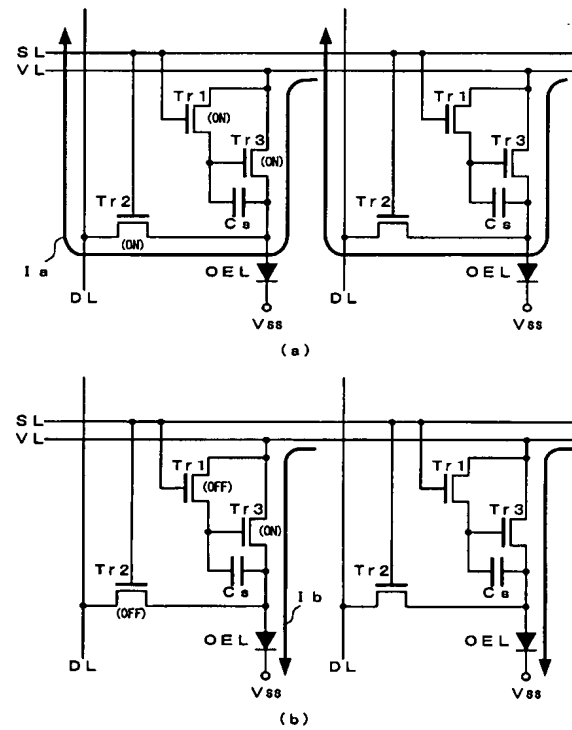
【図 16】



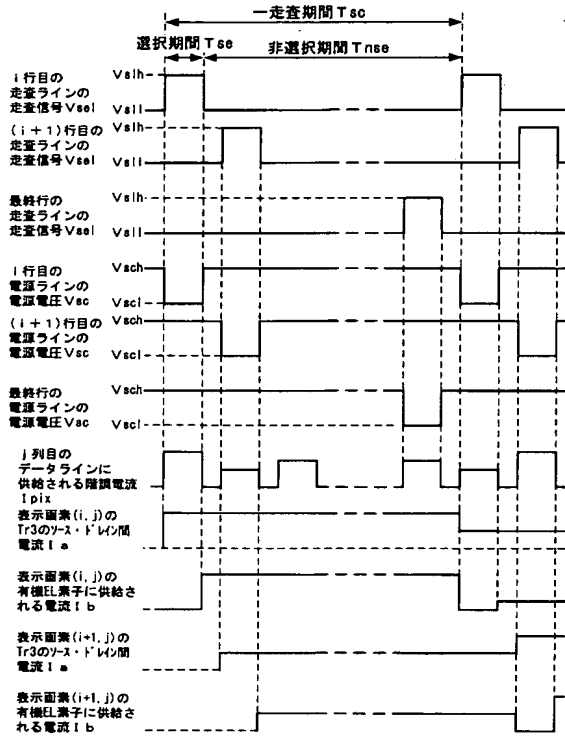
【図 17】



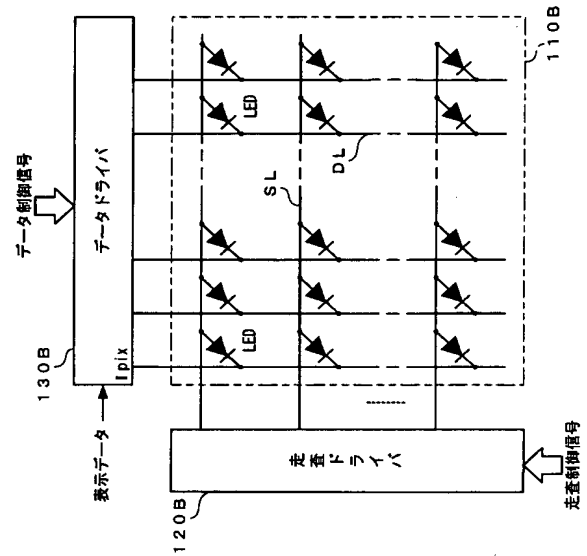
【図 18】



【図 19】



【図 20】



フロントページの続き(51)Int. Cl.⁷

F I

テーマコード (参考)

G 0 9 G 3/20 6 4 1 D

G 0 9 G 3/20 6 4 2 A

H 0 5 B 33/14 A